

# 대한민국 특허청

## KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0039475  
Application Number

출원년월일 : 2002년 07월 08일  
Date of Application JUL 08, 2002

출원인 : 엘지.필립스 엘시디 주식회사  
Applicant(s) LG.PHILIPS LCD CO., LTD.



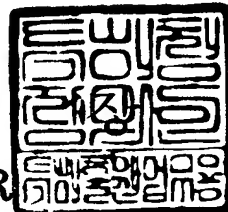
2003    년    02    월    24    일

특

허

청

COMMISSIONER



[illegible]

**【요약서】****【요약】**

본 발명은 액티브 매트릭스형 유기 전계발광 표시패널에서 광발산 효율을 향상시키고 아울러 수명을 연장시킬 수 있도록 한 액티브 매트릭스형 유기 전계발광 표시패널 및 그 제조방법에 관한 것이다.

본 발명의 실시예에 따른 액티브 매트릭스형 유기 전계발광 표시패널은 발광 영역이 정의된 기판과, 상기 기판 상에 저굴절 물질로 형성되어 발광되는 빛의 굴절을 방지하기 위한 저굴절 박막과, 상기 저굴절 박막이 형성된 기판의 소정 위치에 포토리쓰그래피 방법을 포함한 마스크 공정에 의해 형성되고 외부로부터의 제어신호에 의해 스위칭 및 구동역할을 하는 박막트랜지스터들과, 상기 박막트랜지스터들에 연결되어 외부로부터의 데이터 신호를 충방전하는 스토리지 캐패시터와, 상기 박막트랜지스터들의 마스크 공정에 의해 패터닝되어 발광 영역 상의 기판이 노출되어진 기판 상에 형성되어 외부 전류 및 전압에 의해 발광하는 유기 전계발광 다이오드를 구비하는 것을 특징으로 한다.

이러한 구성에 의하면, 본 발명에 따른 액티브 매트릭스형 유기 전계발광 표시패널 및 그 제조방법은 유기 전계발광 다이오드에서 발광된 빛을 하부기판으로 바로 방출시키고 아울러 낮은 굴절율의 물질을 이용함으로써 휘도 및 발광효율이 증가시킬 수 있게 된다.

**【대표도】**

도 4

**【명세서】****【발명의 명칭】**

액티브 매트릭스형 유기 전계발광 표시패널 및 그의 제조방법{Active Matrix Organic Electro-Luminescence Display Panel And Method Of Fabricating The Same}

**【도면의 간단한 설명】**

도 1은 통상의 액티브 매트릭스형 유기 EL 표시패널의 기본 화소 구조를 나타내는 도면이다.

도 2는 종래의 액티브 매트릭스형 유기 EL 표시패널에 대한 단면도이다.

도 3a 내지 도 3i는 도 2에 도시된 액티브 매트릭스형 유기 EL 표시패널의 제조방법을 단계적으로 각각 나타낸 단면도이다.

도 4는 본 발명의 제1 실시예에 따른 액티브 매트릭스형 유기 EL 표시패널에 대한 단면도이다.

도 5a 내지 도 5i는 도 4에 도시된 액티브 매트릭스형 유기 EL 표시패널의 제조방법을 단계적으로 각각 나타낸 단면도이다.

도 6는 본 발명의 제2 실시예에 따른 액티브 매트릭스형 유기 EL 표시패널에 대한 단면도이다.

도 7a 내지 도 7i는 도 6에 도시된 액티브 매트릭스형 유기 EL 표시패널의 제조방법을 단계적으로 각각 나타낸 단면도이다.

도 8은 본 발명의 제3 실시예에 따른 액티브 매트릭스형 유기 EL 표시패널에 대한 단면도이다.

도 9a 내지 도 9i는 도 8에 도시된 액티브 매트릭스형 유기 EL 표시패널의 제조방법을 단계적으로 각각 나타낸 단면도이다.

<도면의 주요 부분에 대한 부호의 설명>

1 : 절연기관      30,70 : 버퍼층

32,72 : 반도체층      32a,72a : 액티브층

32b,72b : 오믹콘택층      34,74 : 캐패시터 전극

36,76 : 게이트 절연막      38,78 : 게이트 전극

40,44,54,80,84,94 : 절연층      42,82 : 파워전극

46a,46b,86a,86b : 오믹콘택홀      48,88 : 캐패시터 콘택홀

56 : 드레인 콘택홀      58,98 : 양극

60,100 : 보호층      62,102 : 양극 노출부

64,104 : 유기 EL층      66,106 : 음극

68 : 저굴절 박막

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <21> 본 발명은 유기 전계발광 표시패널에 관한 것으로, 특히 액티브 매트릭스형 유기 전계발광 표시패널에서 광발산 효율을 향상시킴과 아울러 수명을 연장시킬 수 있도록 한 액티브 매트릭스형 유기 전계발광 표시패널 및 그 제조방법에 관한 것이다.
- <22> 최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판표시장치들이 개발되고 있다. 이러한 평판표시장치는 액정표시장치(Liquid Crystal Display), 전계 방출 표시장치(Field Emission Display), 플라즈마 디스플레이 패널(Plasma Display Panel) 및 일렉트로 루미네스센스(Electro-Luminescence : 이하 "EL"라 함) 표시 패널 등이 있다.
- <23> 이와 같은 평판표시장치의 표시품질을 높이고 대화면화를 시도하는 연구들이 활발히 진행되고 있다. 이들 중 EL 표시 패널은 스스로 발광하는 자발광 소자이다. EL 표시 패널은 전자 및 정공 등의 캐리어를 이용하여 형광물질을 여기 시킴으로써 비디오 영상을 표시하게 된다.
- <24> 이 EL 표시패널은 사용하는 재료에 따라 무기 EL 표시패널과 유기 EL 표시패널로 크게 나뉘어진다. 유기 EL 표시패널은 100~200V의 높은 전압을 필요로 무기 EL 표시패널에 비해 5~20V 정도의 낮은 전압으로 구동됨으로써 직류 저전압 구동이 가능하다. 또한, 유기 EL 표시패널은 넓은 시야각, 고속 응답성, 고 콘트라스트비(contrast ratio) 등의 뛰어난 특징을 갖고 있으므로 그래픽 디스플레이의 픽셀(pixel), 텔레비전 영상 디

스플레이나 표면 광원(Surface Light Source)의 픽셀로서 사용될 수 있으며, 얇고 가벼우며 색감이 좋기 때문에 차세대 평면 디스플레이에 적합한 소자이다.

<25> 한편, 이러한 유기 EL 표시패널의 구동방식으로는 별도의 박막트랜지스터를 구비하지 않는 패시브 매트릭스 방식(Passive matrix type)이 주로 이용되고 있다.

<26> 그러나, 패시브 매트릭스 방식은 해상도나 소비전력, 수명 등에 많은 제한적인 요소를 가지고 있기 때문에, 고해상도나 대화면을 요구하는 차세대 디스플레이 제조를 위한 액티브 매트릭스형 유기 EL 표시패널이 연구/개발되고 있다.

<27> 이를 설명하면, 패시브 매트릭스 방식에서는 주사선(Scan Line)과 신호선(Signal Line)이 교차하면서 매트릭스 형태로 소자를 구성하며, 각각의 화소를 구동하기 위하여 주사선을 시간에 따라 순차적으로 구동한다. 이에 따라 요구되는 평균 휘도를 표시하기 위해서는 평균 휘도에 라인수를 곱한 것 만큼의 순간 휘도를 내야만 한다. 따라서, 라인이 많으면 많을수록 더 높은 전압과 더 많은 전류를 순간적으로 인가해 주어야 하므로, 소자의 열화를 가속시키고 소비전력이 높아져 고해상도, 대면적 디스플레이에는 적합하지 않다.

<28> 이와는 달리 액티브 매트릭스 방식에서는 각 화소를 개폐하는 박막트랜지스터(Thin Film Transistor ; 이하 "TFT"라 함)가 화소마다 위치하고, 이 TFT가 스위치 역할을 하여, 이 TFT와 연결된 제1 전극은 화소단위로 온/오프 시키고, 이 제1 전극과 대향하는 제2 전극은 공통전극으로 사용한다. 이러한 액티브 매트릭스 방식의 유기 EL 표시패널에서는 화소에 인가된 전압이 스토리지 캐패시터(Cst ; storage capacitor)에 충전되고 스토리지 캐패시터에 충전된 전압은 다음 프레임 신호가 인가될 때까지 전원을 인가해주

는 역할을 한다. 이로 인하여 게이트 라인 수 즉, 주사선 수에 관계없이 한 화면 동안 계속해서 유기 EL 표시패널을 구동한다.

<29> 따라서, 액티브 매트릭스 방식에서는 낮은 전류를 인가해 주더라도 동일한 휘도를 나타내므로 저소비전력, 고정세 및 대형화가 가능한 장점을 가진다.

<30> 도 1은 통상의 액티브 매트릭스형 유기 EL 표시패널의 기본 화소 구조를 나타내는 도면이다.

<31> 도 1을 참조하면, 액티브 매트릭스형 유기 EL 표시패널의 기본 화소 구조는 제1 방향으로 형성된 주사선과; 상기 제1 방향과 교차되는 제2 방향으로 서로 일정간격으로 이격된 상태로 나란하게 형성된 신호선 및 전력공급선과; 주사선, 신호선 및 전력공급선에 의해 둘러싸여 형성된 화소 영역(Pixel area)을 구비한다.

<32> 또한, 액티브 매트릭스형 유기 EL 표시패널의 기본 화소 구조는 주사선과 신호선의 교차지점에 형성되어 어드레스 역할을 하는 스위칭 TFT와, 상기 스위칭 TFT 및 전력공급선 사이에 형성된 스토리지 캐패시터와, 스토리지 캐패시터 및 전력공급선과 연결되도록 형성되어 전류원 역할을 하는 구동 TFT와, 상기 구동 TFT에 연결된 유기 EL 다이오드를 구비한다.

<33> 스위칭 TFT는 전압을 제어하고 전류원을 저장하는 역할을 한다.

<34> 유기 EL 다이오드는 유기발광물질에 순방향으로 전류를 공급하면, 정공(Hole)을 공급하는 양극(Anode Electrode)과 전자(Electron)를 공급하는 음극(Cathode Electrode) 사이에 적층된 정공주입층 및 정공수송층과 전자수송층 및 전자주입층을 통하여 정공수송층과 전자수송층 사이에 형성된 발광층에 정공과



전자가 이동되어진다. 이동되어진 정공과 전자는 발광층 내에서 서로 결합하여 소정의 에너지를 가지게 되고, 발생하는 에너지 차로 인해 빛을 방출하게 된다.

<35> 이들의 구성을 통하여 액티브 매트릭스 방식의 유기 EL 표시패널의 구동을 설명하면, 먼저 선택신호에 따라 해당 전극에 신호를 인가하면 스위칭 TFT의 게이트는 온 상태가 된다. 이 때 데이터 신호는 스위칭 TFT의 게이트를 경유하여 구동 TFT와 스토리지 캐패시터에 인가된다. 구동 TFT의 게이트가 온 상태로 되면, 전력공급선으로부터 전류가 구동 TFT의 게이트를 통하여 유기 EL층에 인가되어 발광하게 된다. 이 경우, 데이터 신호의 크기에 따라 구동 TFT의 게이트의 개폐(開閉) 정도는 달라지고, 이 구동 TFT를 통하여 흐르는 전류량을 조절하여 계조표시를 할 수 있게 된다.

<36> 그리고, 비선택 구간에는 스토리지 캐패시터에 충전된 데이터가 구동 TFT에 계속 인가된 다음 화면의 신호가 인가될 때까지 지속적으로 유기 EL 표시패널을 발광시킬 수 있다.

<37> 이러한 구동원리로 인하여, 액티브 매트릭스형 유기 EL 표시패널은 패시브 매트릭스 방식에 비해 낮은 전압과 순간적으로 낮은 전류의 인가가 가능하며, 선택 라인수에 관계없이 한 화면시간 동안 계속 유기 EL 표시패널의 구동이 가능하게 된다. 이로써 액티브 매트릭스형 유기 EL 표시패널은 저소비전력, 고해상도 및 대면적화에 유리하다. 한편, 액티브 매트릭스형 유기 EL 표시패널은 TFT를 거쳐 전류를 흐르게 하는 구조인데, 기존의 비정질 실리콘(a-Si) TFT는 비정질 실리콘의 무결정 상태의 실리콘 입자에 의해 전계효과 이동도(electric field effect mobility)가 낮아서 채용하기 어렵기 때문에 균일한 결정 상태를 가져 전계효과 이동도가 보다 우수한 폴리실리콘(p-Si) TFT가 요구된다.

- <38> 폴리실리콘 TFT는 전계효과 이동도가 크기 때문에 기판 위에 구동회로를 만들 수 있다. 이로써, 폴리실리콘 TFT로 기판에 구동회로를 만들 경우에는 구동 IC 비용도 줄일 수 있고 실장도 간단해지게 된다.
- <39> 이 폴리실리콘을 제조하는 방법으로는 비정질 실리콘을 이용하여 레이저 어닐링을 통해 저온 결정화하는 방법이 주로 이용되고 있다.
- <40> 도 2는 종래의 액티브 매트릭스형 유기 EL 표시패널에 대한 단면도로서, 도 1에서 유기 EL 다이오드 및 스토리지 캐패시터와 연결된 구동 TFT부를 일 예로 하여 설명하고, 발광된 빛을 하부 전극인 양극을 투과하여 방출하는 하부 전극인 양극을 투과하여 방출하는 하부 발광방식의 유기 EL 표시패널에 관한 것이다.
- <41> 도 2를 참조하면, 절연기판(1) 상에는 반도체층(32), 게이트 전극(38), 소스 및 드레인 전극(50,52)을 포함하는 TFT(T)가 형성되어 있고, 이 TFT(T)는 스토리지 캐패시터( $C_{ST}$ ) 및 유기 EL 다이오드(E)와 각각 연결되어 있다.
- <42> 스토리지 캐패시터( $C_{ST}$ )는 절연체가 개재된 상태로 서로 대향된 파워 전극(42) 및 캐패시터 전극(34)으로 구성되고, 상기 유기 EL 다이오드(E)는 유기 EL 층(64)이 개재된 상태로 서로 대향된 양극(58) 및 음극(66)으로 구성된다.
- <43> 이를 상세히 하면, TFT(T)의 소스 전극(50)은 파워 전극(42)과 연결되어 있고, 드레인 전극(52)은 유기 EL 다이오드(E)의 하부전극인 양극(58)과 연결되어 있다.
- <44> 일반적으로, 상기에서와 같은 하부 발광방식의 양극(58)은 유기 EL층(64)에서 발광된 빛이 투과되도록 광 투과성 물질로 이루어지고, 음극(66)은 유기 EL층(64)으로 전자 주입을 원활히 할 수 있도록 일함수(Work function)값이 낮은 금속으로 이루어진다.

- <45> 그러나, 상부 발광방식으로 구동되는 유기 EL 표시패널에서는 유기 EL층에서 발광된 빛이 음극을 투과하여 상부 방향으로 방출되므로, 음극이 광 투과성 물질로 이루어진다.
- <46> 한편, 유기 EL 표시패널에서 포함되는 절연층들의 적층 구조를 살펴보면, 절연기판(1)과 반도체층(32) 사이에서 완충작용을 하는 버퍼층(30)과, 상기 스토리지 캐패시터( $C_{ST}$ )용 절연체가 되는 제1 절연층(40)과, 상기 소스 전극(50)과 파워 전극(42) 사이의 제2 절연층(44)과, 상기 양극(58)과 드레인 전극(52) 사이의 제3 절연층(54)과, 상기 양극(58)과 유기 EL층(64) 사이의 보호층(60)이 차례대로 적층된 구조를 가지는데, 상기 제1 내지 제3 절연층(40, 44, 54) 및 보호층(60)에는 각 층간의 전기적 연결을 위한 콘택홀을 포함한다.
- <47> 도 3a 내지 도 3i는 도 2에 도시된 액티브 매트릭스형 유기 EL 표시패널의 제조방법을 단계적으로 각각 나타낸 단면도이다. 이러한 제조방법에서의 각 패턴은 별도의 마스크에 그려진 패턴을 박막이 증착된 기판 상에 전사시켜 형성하는 일련의 공정을 거쳐 형성되며, 이러한 공정은 포토레지스트 도포(Photo Resist Coating), 정렬 및 노광(Align & Exposure), 현상(Develop)을 주요 공정으로 하는 사진식각(Photolithography) 공정을 뜻한다.
- <48> 도 3a 내지 도 3i를 참조하면, 먼저 절연기판(1) 상에 도 3a에서와 같이 버퍼층(30)과 액티브층(32a) 및 캐패시터 전극(34)을 형성한다. 이때 버퍼층(30)은 제1 절연 물질을 이용하여 기판 전면에 걸쳐 형성되고, 액티브층(32a) 및 캐패시터 전극(34)은 버퍼층(30) 상부에 폴리실리콘을 이용하여 전면도포한 후 제1 마스크 공정에 의해 형성된다.

- <49> 다음으로 액티브층(32a)의 중앙부에 도 3b와 같이 게이트 절연막(36) 및 게이트 전극(38)을 형성한다. 게이트 절연막(36) 및 게이트 전극(38)은 도 3a에서의 기판 상에 제2 절연물질 및 제1 금속물질을 연속하여 증착한 후 제2 마스크 공정에 의해 형성되어 진다.
- <50> 게이트 절연막(36) 및 게이트 전극(38)이 형성되면 제1 절연층(40) 및 파워전극(42)이 도 3c와 같이 기판 상에 형성된다. 제1 절연층(40)은 도 3b와 같이 형성된 기판 전면에 제3 절연물질을 도포하여 형성된다. 파워 전극(42)은 제1 절연층(40) 상부에 제2 금속물질을 증착한 후 제3 마스크 공정에 의해 상기 캐패시터 전극(34)을 덮도록 패터닝하여 형성된다.
- <51> 다음으로 도 3c에 도시된 기판 상에 도 3d와 같이 제2 절연층(44)을 형성한다. 제2 절연층(44)은 도 3c에 도시된 기판 전면에 제3 절연물질을 증착한 후 제4 마스크 공정에 의해 패터닝함으로써 형성된다. 이후 제2 절연층(44)은 제1,2 오믹콘택홀(46a, 46b) 및 캐패시터 콘택홀(48)을 가지도록 상기 액티브층(32a)의 양단부 및 파워 전극(42)의 일부를 노출된다. 여기서, 액티브층(32a)의 양단부는 추후 공정에서 형성된 소스 및 드레인 전극과 제1,2 오믹콘택홀(46a, 46b)에 의해 연결되며, 좌측부는 드레인 영역(Ia)을 이루고, 우측부는 소스 영역(Ib)을 이룬다.
- <52> 다음으로 액티브층(32a)의 노출된 양단부는 이온도핑 처리되어 불순물이 함유된 오믹콘택층(32b)이 된다. 이로써, 액티브층(32a)과 오믹콘택층(32b)으로 구성되는 반도체층(32)을 완성하게 된다.
- <53> 반도체층(32)이 완성되면 소스 및 드레인 전극(50, 52)을 도 3e와 같이 형성한다. 이는 도 3d의 기판 전면에 제3 금속물질을 증착한 후 제5 마스크 공정에 의해 형성된다.

이 때 소스 전극(50)은 상기 캐패시터 콘택홀(도 3d의 48) 및 제1 오믹 콘택홀(도 3d의 46a)을 통하여 파워 전극(42) 및 소스 영역(Ib)의 오믹콘택층(32b)과 연결되도록 형성되며, 드레인 전극(52)은 제2 오믹 콘택홀(도 3d의 46b)을 통하여 드레인 영역(Ia)의 오믹 콘택층(32b)과 연결되도록 형성된다.

<54> 이 과정을 통하여 반도체층(32), 게이트 전극(38), 소스 및 드레인 전극(50,52)을 포함하는 TFT(T)가 완성되며, 파워 전극(42)과 캐패시터 전극(34) 간의 대응영역에는 스토리지 캐패시터( $C_{ST}$ )가 형성된다. 도면 상에 제시하지 않았지만, 캐패시터 전극(34)은 게이트 전극(38)과 연결되어 있고, 파워 전극(42)은 신호선과 평행한 방향으로 위치하는 전력공급선과 일체되게 형성된다.

<55> 다음으로 제3 절연층(54)을 도 3f와 같이 형성한다. 제3 절연층(54)은 도 3e에서의 기판 전면에 제4 절연물질을 증착한 후 제6 마스크 공정에 의해 드레인 콘택홀(56)을 패터닝함으로써 형성된다.

<56> 그 다음 발광영역(I) 상에 도 3g와 같이 양극(58)을 형성한다. 양극(58)은 드레인 콘택홀(도 3f의 56)을 통해 드레인 전극(52)과 연결되도록 투명 도전성물질을 이용하여 제7 마스크 공정에 의해 형성된다.

<57> 다음으로 양극 노출부(62)를 가지도록 도 3h와 같이 보호층(60)을 형성한다. 보호층(60)은 도 3g의 기판 상에 제5 절연물질을 증착한 후 제8 마스크 공정에 의해 양극(58)의 일부영역을 노출시키도록 패터닝됨으로써 형성된다. 여기서, 보호층(60)은 TFT(T)을 수분 및 이물질로부터 보호하는 역할을 한다.

<58> 이로써, 사진식각 공정이 수반되는 마스크 공정은 마무리되고, 도 3i와 같이 양극 노출부(도 3h의 62)를 통하여 양극(58)과 함께 유기 EL 다이오드(E)를 구성하는 유기 EL 층(64) 및 음극(66)을 순차적으로 형성한다.

<59> 그러나, 유기 EL 표시패널이 유기 EL층(64)에서 발광한 빛이 기판(1)쪽으로 나오는 하부 발광 방식인 경우에는 TFT(T) 어레이 제작시 생성되는 버퍼층(30)과 제1 내지 제3 절연층(40,44,54) 즉, 질화실리콘(SiNx) 및 산화실리콘(SiOx) 등의 무기절연막들에 의해 광 투과율이 저하되어 휘도가 감소하는 단점이 있다.

<60> 또한, 종래기술에 따른 유기 EL 표시패널은 다수의 절연층을 경유하여 외부로 발광 시킴으로써 발광효율 즉, 양자 효율이 낮은 단점이 있다. 이를 고전광학에 근거한 발광 효율을 산출하는 수학적 식 1 및 이를 이용한 계산으로 알 수 있다.

<61> **【수학적 식 1】** 
$$\eta_{ext} = \frac{1}{2n^2} \times \eta_{int} = \frac{1}{2 \times 1.5^2} = \frac{1}{5} \approx 20\%$$

<62> 여기서,  $\eta$  은 내부 및 외부 발광효율을 나타내며, n은 해당 기판의 굴절율을 나타낸 것이다. 종래기술에 있어서 버퍼층 및 절연층들이 적층된 기판의 굴절율(n)은 1.5이다.

<63> 이로써, 종래기술에 따른 유기 EL 표시패널에 있어서 유기 EL층(64)에서 발광된 빛이 기판(1)으로 나와 표시패널 상에 활용되는 빛은 20%에 불과한 단점이 있다.

**【발명이 이루고자 하는 기술적 과제】**

<64> 따라서, 본 발명의 목적은 휘도를 향상시킴과 아울러 발광 효율을 향상시킬 수 있도록 한 액티브 매트릭스형 유기 전계발광 표시패널 및 그 제조방법을 제공하는 데 있다.

**【발명의 구성 및 작용】**

<65> 상기 목적을 달성하기 위하여, 본 발명에 따른 액티브 매트릭스형 유기 전계발광 표시패널은 발광 영역이 정의된 기판과, 상기 기판 상에 저굴절 물질로 형성되어 상기 기판에 의한 빛의 손실을 줄이기 위한 저굴절 박막과, 상기 저굴절 박막이 형성된 기판의 소정 위치에 포토리소그래피 방법을 포함한 마스크 공정에 의해 형성되고 외부로부터의 제어신호에 의해 스위칭 및 구동역할을 하는 박막트랜지스터들과, 상기 박막트랜지스터들에 연결되어 외부로부터의 데이터 신호를 충방전하는 스토리지 캐패시터와, 상기 박막트랜지스터들의 마스크 공정에 의해 패터닝되어 발광 영역 상의 기판이 노출되어진 기판 상에 형성되어 외부 전류 및 전압에 의해 발광하는 유기 전계발광 다이오드를 구비하는 것을 특징으로 한다.

<66> 본 발명에서의 상기 저굴절 박막은 상기 박막트랜지스터들의 마스크 공정에 의해 패터닝되어 발광 영역 상의 기판이 노출된 후 절연되어진 기판과 상기 유기 전계발광 다이오드 사이에 구성되는 것을 특징으로 한다.

<67> 본 발명에 따른 다른 액티브 매트릭스형 유기 전계발광 표시패널은 발광 영역이 정의된 기판과, 발광된 빛의 손실을 줄이기 위해 상기 기판 전면에 저굴절 물질을 도포하

여 형성된 저굴절 박막과, 상기 기관의 소정 위치에 포토리쓰그래피 방법을 포함한 마스크 공정에 의해 형성되고 외부로부터의 제어신호에 의해 스위칭 및 구동역할을 하는 박막트랜지스터들과, 상기 박막트랜지스터들에 연결되어 외부로부터의 데이터 신호를 충방전하는 스토리지 캐패시터와, 상기 박막트랜지스터 및 스토리지 캐패시터가 형성된 기관의 발광 영역 상에 형성되어 외부 전류 및 전압에 의해 발광하는 유기 전계발광 다이오드를 구비하는 것을 특징으로 한다.

<68> 본 발명에서의 상기 저굴절 물질은 굴절율( $n$ )이 1.5 이하인 물질을 특징으로 한다.

<69> 본 발명에서의 상기 저굴절 물질은 굴절율( $n$ )이 1.5 이하인 실리카 에어로겔(Silica aerogel) 및 실리카 겔(Silica gel) 등인 것을 특징으로 한다.

<70> 본 발명에서의 상기 유기 전계발광 다이오드는 상기 기관의 발광 영역 상에 투명 도전성 물질로 형성된 제1 전극과, 상기 기관의 발광 영역 상에 상기 제1 전극을 덮도록 유기 발광물질로 형성된 유기 발광층과, 상기 유기 발광층 상부에 상기 기관 전면을 도포하도록 금속물질로 형성된 제2 전극을 구비하는 것을 특징으로 한다.

<71> 본 발명에서의 상기 박막트랜지스터들은 상기 기관 상에 형성된 반도체층과, 상기 반도체층 상부에 순차적으로 적층된 게이트 절연막 및 게이트 전극과, 상기 반도체층 및 상기 유기 전계발광 다이오드의 제1 전극과 연결되도록 형성된 드레인전극과, 상기 반도체층 및 상기 스토리지 캐패시터와 연결되도록 상기 드레인전극과 동시에 형성된 소스 전극을 구비하는 것을 특징으로 한다.

<72> 본 발명에서의 상기 스토리지 캐패시터는 상기 기관 상에 상기 반도체층과 소정 간격으로 이격되게 형성된 캐패시터 전극과, 상기 캐패시터 전극 상부에 절연 후 상기 소



스 전극과 연결됨과 아울러 상기 캐패시터 전극을 덮도록 형성된 파워 전극으로 구성되는 것을 특징으로 한다.

<73> 본 발명에서의 상기 반도체층은 p형 반도체층이며, 상기 제1 및 제2 전극은 각각 양극 및 음극인 것을 특징으로 한다.

<74> 본 발명에서의 상기 투명 도전성 물질은 인듐 틴 옥사이드(Indium Tin Oxide)인 것을 특징으로 한다.

<75> 본 발명에 따른 액티브 매트릭스형 유기 전계발광 표시패널의 제조방법은 발광영역이 정의된 기판 전면에 저굴절 물질을 도포하여 저굴절 박막을 형성하는 단계와, 상기 저굴절 박막이 형성된 기판 상에 발광 영역이 드러나도록 마스크 공정에 의해 버퍼층을 형성하는 단계와, 상기 버퍼층 상에 노광, 현상, 식각 공정을 포함하는 마스크 공정에 의해 소정 간격으로 이격된 액티브층 및 캐패시터 전극을 형성하는 단계와, 상기 액티브층의 중앙부에 게이트 절연막 및 게이트 전극을 순차적으로 형성하는 단계와, 상기 게이트 절연막 및 게이트 전극을 덮도록 상기 기판 전면에 제1 절연층을 형성하는 단계와, 상기 제1 절연층 상에 상기 캐패시터 전극과 대응하는 영역을 덮도록 상기 기판 상에 파워 전극을 형성하는 단계와, 상기 파워 전극을 덮도록 상기 기판 전면에 제2 절연층을 형성하는 단계와, 상기 액티브층 및 파워 전극의 소정 영역과 상기 발광영역 상의 저굴절 박막이 도포된 기판을 노출시키는 단계와, 상기 노출된 액티브층이 형성된 기판을 이온 도핑하여 반도체층을 완성하는 단계와, 상기 반도체층 및 파워 전극의 소정 영역을 통하여 통하여 소정 간격으로 이격된 소스 및 드레인전극을 형성하는 단계와, 상기 소스 및 드레인전극을 덮도록 제3 절연층을 형성하는 단계와, 상기 드레인 콘택홀을 형성함과

아울러 상기 발광영역 상의 저굴절 박막이 도포된 기판이 노출되도록 상기 제3 절연층을 패터닝하는 단계와, 상기 발광 영역 상의 노출된 저굴절 박막이 도포된 기판 상에 상기 드레인전극과 연결되는 유기 전계발광 다이오드를 형성하는 단계를 포함하는 것을 특징으로 한다.

<76> 본 발명에서의 상기 유기 전계발광 다이오드를 형성하는 단계는 상기 노출된 저굴절 박막이 도포된 기판을 포함하는 발광영역 상에 투명 도전성 물질의 제1 전극을 형성하는 단계와, 상기 제1 전극이 형성된 기판의 발광 영역 상에 유기 발광물질을 도포하여 유기 발광층을 형성하는 단계와, 상기 유기 발광층 상에 상기 제1 전극과 함께 전기적 신호가 인가되도록 상기 기판 전면에 금속물질의 제2 전극을 형성하는 단계를 포함하는 것을 특징으로 한다.

<77> 본 발명의 경우 상기 제1 전극 형성 후 상기 제1 전극의 발광부가 노출된 보호층을 형성하는 단계를 더 포함하는 것을 특징으로 한다.

<78> 본 발명에서의 상기 반도체층은 p형 이온으로 도핑처리된 p형 반도체층인 것과, 상기 제1 및 제2 전극은 각각 양극 및 음극인 것을 특징으로 한다.

<79> 본 발명에 따른 다른 액티브 매트릭스형 유기 전계발광 표시패널의 제조방법은 발광영역이 정의된 기판 상에 발광 영역이 드러나도록 마스크 공정에 의해 버퍼층을 형성하는 단계와, 상기 버퍼층 상에 노광, 현상, 식각 공정을 포함하는 마스크 공정에 의해 소정 간격으로 이격된 액티브층 및 캐패시터 전극을 형성하는 단계와, 상기 액티브층의 중앙부에 게이트 절연막 및 게이트 전극을 순차적으로 형성하는 단계와, 상기 게이트 절연막 및 게이트 전극을 덮도록 상기 기판 전면에 제1 절연층을 형성하는 단계와, 상기 제1 절연층 상에 상기 캐패시터 전극과 대응하는 영역을 덮도록 상기 기판 상에 파워 전

극을 형성하는 단계와, 상기 파워 전극을 덮도록 상기 기판 전면에서 제2 절연층을 형성하는 단계와, 상기 액티브층 및 파워 전극의 소정 영역과 상기 발광영역 상의 저굴절 박막이 도포된 기판을 노출시키는 단계와, 상기 노출된 액티브층이 형성된 기판을 이온 도핑하여 반도체층을 완성하는 단계와, 상기 반도체층 및 파워 전극의 소정 영역을 통하여 통하여 소정 간격으로 이격된 소스 및 드레인전극을 형성하는 단계와, 상기 소스 및 드레인전극을 덮도록 제3 절연층 및 저굴절 박막을 순차적으로 형성하는 단계와, 상기 드레인 콘택홀을 형성하도록 상기 제3 절연층 및 저굴절 박막을 패터닝하는 단계와, 상기 발광 영역 상의 노출된 저굴절 박막이 도포된 기판 상에 상기 드레인전극과 연결되는 유기 전계발광 다이오드를 형성하는 단계를 포함하는 것을 특징으로 한다.

<80> 본 발명에 따른 또 다른 액티브 매트릭스형 유기 전계발광 표시패널의 제조방법은 발광영역이 정의된 기판 전면에서 저굴절 물질을 도포하여 저굴절 박막을 형성하는 단계와, 상기 저굴절 박막이 형성된 기판 전면에서 버퍼층을 형성하는 단계와, 상기 버퍼층 상에 노광, 현상, 식각 공정을 포함하는 마스크 공정에 의해 소정 간격으로 이격된 액티브층 및 캐패시터 전극을 형성하는 단계와, 상기 액티브층의 중앙부에 게이트 절연막 및 게이트 전극을 순차적으로 형성하는 단계와, 상기 게이트 절연막 및 게이트 전극을 덮도록 상기 기판 전면에서 제1 절연층을 형성하는 단계와, 상기 제1 절연층 상에 상기 캐패시터 전극과 대응하는 영역을 덮도록 상기 기판 상에 파워 전극을 형성하는 단계와, 상기 파워 전극을 덮도록 상기 기판 전면에서 제2 절연층을 형성하는 단계와, 상기 액티브층 및 파워 전극의 소정 영역을 노출시키는 단계와, 상기 노출된 액티브층이 형성된 기판을 이온 도핑하여 반도체층을 완성하는 단계와, 상기 반도체층 및 파워 전극의 소정 영역을

통하여 통하여 소정 간격으로 이격된 소스 및 드레인전극을 형성하는 단계와, 상기 소스 및 드레인전극을 덮도록 제3 절연층을 형성하는 단계와, 상기 드레인 콘택홀을 형성하도록 상기 제3 절연층을 패터닝하는 단계와, 상기 드레인전극과 연결되도록 상기 기판 상에 유기 전계발광 다이오드를 형성하는 단계를 포함하는 것을 특징으로 한다.

<81> 본 발명에서의 상기 유기 전계발광 다이오드를 형성하는 단계는 저굴절 박막, 버퍼층 및 제1 내지 제3 절연층이 순차적으로 적층된 기판을 포함하는 발광영역 상에 투명 도전성 물질의 제1 전극을 형성하는 단계와, 상기 제1 전극이 형성된 기판의 발광 영역 상에 유기 발광물질을 도포하여 유기 발광층을 형성하는 단계와, 상기 유기 발광층 상에 상기 제1 전극과 함께 전기적 신호가 인가되도록 상기 기판 전면의 금속물질의 제2 전극을 형성하는 단계를 포함하는 것을 특징으로 한다.

<82> 상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 실시 예들에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

<83> 이하, 도 4 내지 도 9i를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

<84> 본 발명의 실시예에 따른 액티브 매트릭스형 유기 EL 표시패널의 기본 화소 구조는 도 1에서와 동일한 구성 및 효과를 가지며 구동되어질 수 있다.

<85> 도 4는 본 발명의 제1 실시예에 따른 액티브 매트릭스형 유기 EL 표시패널에 대한 단면도로서, 도 1에서 유기 EL 다이오드 및 스토리지 캐패시터와 연결된 구동 TFT부를 일 예로 하여 설명하고, 발광된 빛을 하부 전극인 양극을 투과하여 방출하는 하부 전극인 양극을 투과하여 방출하는 하부 발광방식의 유기 EL 표시패널에 관한 것이다.

- <86> 도 4를 참조하면, 본 발명의 제1 실시예에 따른 유기 EL 표시패널은 저굴절 박막(68)이 전면에 도포된 절연기판(1)과, 상기 절연기판(1) 상에 버퍼층(70)을 상부층으로 하여 반도체층(72), 게이트 전극(38), 소스 및 드레인 전극(90,92)을 포함하는 TFT(T)와, TFT(T)와 각각 연결된 스토리지 캐패시터( $C_{ST}$ ) 및 유기 EL 다이오드(E)로 구성된다.
- <87> 저굴절 박막(68)은 유기 EL 다이오드(E)로부터 발광된 빛이 표시패널 상에 더 많이 활용되기 위한 것이다. 이러한 저굴절 박막(68)으로는 저굴절율을 가지는 물질이 사용되며, 주로 실리카 에어로겔(Silica aerogel) 및 실리카 겔(Silica gel) 등이 사용된다. 여기서, 실리카 에어로겔(Silica aerogel)의 굴절율(n)은 1.07 이다.
- <88> TFT(T)는 스토리지 캐패시터( $C_{ST}$ ) 및 유기 EL 다이오드(E)와 각각 연결되어 게이트 신호들이 인에이블될 때에 구동되게 한다. 이로써, 데이터 라인(DL)상의 화소 신호의 크기에 상응하는 빛을 유기 EL 다이오드(E)에 발생시키는 역할을 한다.
- <89> 스토리지 캐패시터( $C_{ST}$ )는 절연체가 개재된 상태로 서로 대향된 파워 전극(82) 및 캐패시터 전극(74)으로 구성되고, 유기 EL 다이오드(E)는 유기 EL 층(104)이 개재된 상태로 서로 대향된 양극(98) 및 음극(106)으로 구성된다. 이 때 유기 EL 다이오드(E)는 발광영역이 정의된 절연기판(1) 상에 바로 올려진 상태로 형성된다.
- <90> 이를 상세히 하면, TFT(T)의 소스 전극(90)은 파워 전극(82)과 연결되어 있고, 드레인 전극(92)은 유기 EL 다이오드(E)의 하부전극인 양극(98)과 연결되어 있다.
- <91> 일반적으로, 하부 발광방식의 유기 EL 표시패널에서의 양극(98)은 유기 EL층(104)에서 발광된 빛이 투과되도록 광 투과성 물질로 이루어지고, 음극(106)은 유기 EL층

(104)으로 전자주입을 원활히 할 수 있도록 일함수(Work function)값이 낮은 금속으로 이루어진다.

<92> 한편, 유기 EL 표시패널의 TFT(T)에 포함되는 절연층들의 적층 구조를 살펴보면, 유기 EL 표시패널의 절연층들은 저굴절 박막(68)이 도포된 절연기판(1)과 반도체층(72) 사이에서 완충작용을 하는 버퍼층(70)과, 상기 스토리지 캐패시터( $C_{ST}$ )용 절연체가 되는 제1 절연층(80)과, 상기 소스 전극(90)과 파워 전극(82) 사이의 제2 절연층(84)과, 상기 양극(98)과 드레인 전극(92) 사이의 제3 절연층(94)과, 상기 양극(98)과 유기 EL층(104) 사이의 보호층(100)이 차례대로 적층된 구조를 가지는데, 상기 제1 내지 제3 절연층(80, 84, 94) 및 보호층(100)에는 각 층간의 전기적 연결을 위한 콘택홀을 포함한다.

<93> 이와는 달리 유기 EL 표시패널의 발광영역(I)에는 버퍼층 및 절연층들 없이 유기 EL 다이오드(E)만이 형성된 상태로 구성된다. 유기 EL 다이오드(E)는 투명 도전성물질로 형성된 양극(98)과, 금속물질로 형성된 음극(106)과, 양극(98)과 음극(106) 사이에 형성된 유기 EL층(104)를 구비한다. 유기 EL층(104)은 양극(98)과 음극(106) 사이에 순차적으로 적층된 정공주입층, 정공수송층, 전자수송층, 전자주입층으로 구성된다. 이들의 발광 원리를 살펴보면, 상기 양극(98) 및 음극(106) 사이에 전류를 흘려주면 정공주입층 및 전자주입층을 통하여 전자 및 정공들로 구성된 캐리어들이 각각 주입된다. 이러한 캐리어들은 정공수송층 및 전자수송층을 통하여 정공수송층과 전자수송층 사이에 형성된 발광층(도시하지 않음)에 수송되어진다. 이 때 정공수송층과 전자수송층은 캐리어들을 발광물질로 효율적으로 수송시켜줌으로써 발광층 내에서 발광결합의 확률을 크게 한다. 캐리어들이 발광층에 주입되면 발광층 내에 엑시톤(exciton)이 생성되며, 이렇

게 생성된 엑시톤들이 폴라론(Polaron) 에너지 갭에 해당하는 빛을 발생하여 발광소멸하게 된다. 여기서 발생된 빛은 기판(1) 방향 즉, 하부방향으로 발광한다.

<94> 이러한 구성을 가지는 유기 EL 표시패널은 유기 EL층(104)의 발광층에서 발광된 빛이 절연층을 경유하지 않고 기판(1)을 통하여 외부 즉, 표시화면에 표시됨으로써 휘도 및 휘도 균일도가 향상시킬 수 있고, 저굴절 박막(68)을 통하여 빛이 산란되지 않고 표시화면 상에 더 많이 활용됨으로써 발광 효율을 향상할 수 있다.

<95> 예를 들어 설명하면, 실리카 에어로겔(Silica aerogel)의 굴절율은 약 1.07 정도이므로, 표시화면 상에 유기 EL층(104)으로부터 발광된 빛은 다음 수학식 2를 통해 향상됨을 알 수 있다.

<96> 
$$\eta_{ext} = \frac{1}{2n^2} \times \eta_{int} = \frac{1}{2 \times 1.07^2} \approx \frac{1}{2 \times 1^2} = \frac{1}{2} = 50\%$$

【수학식 2】

<97> 이로써, 본 발명의 실시예에 따른 유기 EL 표시패널은 저굴절 박막(68)을 형성함과 아울러 발광영역 상의 버퍼층 및 절연층을 제거함으로써 종래기술의 경우보다 약 2.5배의 발광효율을 향상시킬 수 있게 된다.

<98> 도 5a 내지 도 5j는 도 4에 도시된 액티브 매트릭스형 유기 EL 표시패널의 제조방법을 단계적으로 각각 나타낸 단면도이다. 이러한 제조방법에서의 각 패턴은 별도의 마스크에 그려진 패턴을 박막이 증착된 기판 상에 전사시켜 형성하는 일련의 공정을 거쳐 형성되며, 이러한 공정은 포토레지스트 도포(Photo Resist Coating), 정렬 및 노광(Align & Exposure), 현상(Develop)을 주요 공정으로 하는 사진식각(Photolithography) 공정을 뜻한다.

- <99> 도 5a 내지 도 5j를 참조하면, 먼저 도 5a에서와 같이 절연기관(1) 전면에 저굴절 박막(68)을 형성한다. 저굴절 박막(68)은 유기 EL 다이오드(E)로부터 발생된 빛이 굴절되는 비율을 줄임으로써 기관 하면으로 나오는 발광효율을 향상시키는 역할을 한다. 이러한 저굴절 박막(68)으로는 저굴절율을 가지는 물질이 사용되며, 주로 실리카 에어로겔(Silica aerogel) 및 실리카 겔(Silica gel) 등이 사용된다.
- <100> 다음으로 도 5b에서와 같이 버퍼층(70)과 액티브층(72a) 및 캐패시터 전극(74)을 형성한다. 이 때 버퍼층(70)은 제1 절연물질을 이용하여 저굴절 박막(68)이 도포된 기관(1) 전면에 걸쳐 형성한 후 제1 마스크 공정에 의해 발광 영역(I)이 제외된 영역만 남도록 패터닝된다. 액티브층(72a) 및 캐패시터 전극(74)은 버퍼층(70) 상부에 폴리실리콘을 이용하여 전면도포한 후 제2 마스크 공정에 의해 패터닝되어 형성된다.
- <101> 다음으로 액티브층(72a)의 중앙부에 도 5c와 같이 게이트 절연막(76) 및 게이트 전극(78)을 형성한다. 게이트 절연막(76) 및 게이트 전극(78)은 도 5b에서의 기관 상에 제2 절연물질 및 제1 금속물질을 연속하여 증착한 후 제3 마스크 공정에 의해 형성되어 진다.
- <102> 게이트 절연막(76) 및 게이트 전극(78)이 형성되면 제1 절연층(80) 및 파워전극(42)이 도 5d와 같이 기관 상에 형성된다. 제1 절연층(80)은 도 5c에서의 기관 전면에 제3 절연물질로 도포하여 형성된다. 파워 전극(82)은 제1 절연층(80) 상부에 제2 금속물질을 증착한 후 제4 마스크 공정에 의해 상기 캐패시터 전극(74)을 덮도록 패터닝되어 형성된다.
- <103> 다음으로 도 5d에서의 기관 상에 도 5e와 같이 제2 절연층(84)을 형성한다. 제2 절연층(84)은 도 5d에서의 기관 전면에 제3 절연물질을 증착한 후 제5 마스크 공정에 의



해 패터닝함으로써 형성된다. 이후 제1 및 제2 절연층(80)(84)은 제1,2 오믹콘택홀(86a,86b) 및 캐패시터 콘택홀(88)을 가지도록 상기 액티브층(72a)의 양단부 및 파워 전극(42)의 일부를 노출시킴과 아울러 발광 영역(I) 상의 기판(1)이 드러나도록 패터닝된다. 이 경우 발광 영역(I)이 드러나도록 제1 및 제2 절연층(80)(84)의 패터닝은 상기 제1,2 오믹콘택홀(86a,86b) 및 캐패시터 콘택홀(88)의 형성과 동시에 수행되어진다.

<104> 여기서, 액티브층(72a)의 양단부는 추후 공정에서 형성된 소스 및 드레인 전극과 제1,2 오믹콘택홀(86a,86b)에 의해 연결되며, 좌측부는 드레인 영역(Ia)을 이루고, 우측부는 소스 영역(Ib)을 이룬다.

<105> 다음으로 액티브층(72a)의 노출된 양단부는 이온도핑 처리되어 불순물이 함유된 오믹콘택층(72b)이 된다. 이로써, 액티브층(72a)과 오믹콘택층(72b)으로 구성되는 반도체층(72)을 완성하게 된다.

<106> 반도체층(72)이 완성되면 소스 및 드레인 전극(90,92)을 도 5f와 같이 형성한다. 이는 도 5e의 기판 전면에서 제3 금속물질을 증착한 후 제6 마스크 공정에 의해 형성된다. 이 때 소스 전극(90)은 상기 캐패시터 콘택홀(도 5e의 88) 및 제1 오믹 콘택홀(도 5e의 86a)을 통하여 파워 전극(82) 및 소스 영역(Ib)의 오믹콘택층(72b)과 연결되도록 형성되며, 드레인 전극(92)은 제2 오믹 콘택홀(도 7e의 46b)을 통하여 드레인 영역(Ia)의 오믹 콘택층(72b)과 연결되도록 형성된다.

<107> 이 과정을 통하여 반도체층(72), 게이트 전극(78), 소스 및 드레인 전극(90,92)을 포함하는 TFT(T)가 완성되며, 파워 전극(82)과 캐패시터 전극(74) 간의 대응영역에는 스토리지 캐패시터( $C_{ST}$ )가 형성된다. 도면 상에 제시하지 않았지만, 캐패시터 전극(74)은

게이트 전극(78)과 연결되어 있고, 파워 전극(82)은 신호선과 평행한 방향으로 위치하는 전력공급선과 일체되게 형성된다.

<108> 다음으로 제3 절연층(94)을 도 5g와 같이 형성한다. 제3 절연층(94)은 도 5f에서의 기판 전면에서 제4 절연물질을 증착한 후 제7 마스크 공정에 의해 드레인 콘택홀(96) 및 발광 영역(I)이 노출되도록 패터닝함으로써 형성된다.

<109> 그 다음 발광영역(I) 상에 도 5h와 같이 양극(98)을 형성한다. 양극(98)은 드레인 콘택홀(도 5g의 96)을 통해 드레인 전극(92)과 연결되도록 투명 도전성물질을 이용하여 제8 마스크 공정에 의해 형성된다. 이로써 상기 공정을 통한 발광 영역(I)의 기판(1) 상에는 양극(98)만이 구성된다.

<110> 다음으로 양극 노출부(102)를 가지도록 도 5i와 같이 보호층(100)을 형성한다. 보호층(100)은 도 5h의 기판 상에 제5 절연물질을 증착한 후 제9 마스크 공정에 의해 양극(98)의 일부영역을 노출시키도록 패터닝됨으로써 형성된다. 여기서, 보호층(100)은 TFT(T)을 수분 및 이물질로부터 보호하는 역할을 한다.

<111> 이로써, 사진식각 공정이 수반되는 마스크 공정은 마무리되고, 도 7j와 같이 양극 노출부(도 5i의 102)를 통하여 양극(98)과 함께 유기 EL 다이오드(E)를 구성하는 유기 EL층(104) 및 음극(106)을 순차적으로 형성한다.

<112> 도 6은 본 발명의 제2 실시예에 따른 액티브 매트릭스형 유기 EL 표시패널에 대한 단면도로서, 본 발명의 제1 실시예인 도 4와 비교하여 저굴절 박막(68)이 제3 절연층(94)과 양극(98) 사이에 위치한 것이 특징이다.

- <113> 도 6을 참조하면, 본 발명의 제2 실시예에 따른 유기 EL 표시패널은 버퍼층(70)을 상부층으로 하는 절연기판(1) 상에 반도체층(72), 게이트 전극(78), 소스 및 드레인 전극(90,92)을 포함하는 TFT(T)와, TFT(T)와 각각 연결된 스토리지 캐패시터( $C_{ST}$ ) 및 유기 EL 다이오드(E)로 구성된다. 또한 본 발명의 제2 실시예에 따른 유기 EL 표시패널은 TFT(T) 상에 형성된 절연층(94)과 유기 EL 다이오드(E) 사이에 저굴절 박막(68)이 형성된다.
- <114> TFT(T)는 스토리지 캐패시터( $C_{ST}$ ) 및 유기 EL 다이오드(E)와 각각 연결되어 게이트 신호들이 인에이블될 때에 구동되게 한다. 이로써, 데이터 라인(DL)상의 화소 신호의 크기에 상응하는 빛을 유기 EL 다이오드(E)에 발생시키는 역할을 한다.
- <115> 스토리지 캐패시터( $C_{ST}$ )는 절연체가 개재된 상태로 서로 대향된 파워 전극(82) 및 캐패시터 전극(74)으로 구성되고, 유기 EL 다이오드(E)는 유기 EL 층(64)이 개재된 상태로 서로 대향된 양극(98) 및 음극(106)으로 구성된다. 이 때 유기 EL 다이오드(E)는 발광영역이 정의된 절연기판(1) 상에 바로 올려진 상태로 형성된다.
- <116> 이를 상세히 하면, TFT(T)의 소스 전극(90)은 파워 전극(82)과 연결되어 있고, 드레인 전극(92)은 유기 EL 다이오드(E)의 하부전극인 양극(98)과 연결되어 있다.
- <117> 일반적으로, 하부 발광방식의 유기 EL 표시패널에서의 양극(98)은 유기 EL층(104)에서 발광된 빛이 투과되도록 광 투과성 물질로 이루어지고, 음극(106)은 유기 EL층(104)으로 전자주입을 원활히 할 수 있도록 일함수(Work function)값이 낮은 금속으로 이루어진다.

- <118> 한편, 유기 EL 표시패널의 TFT(T)에 포함되는 절연층들의 적층 구조를 살펴보면, 유기 EL 표시패널의 절연층들은 절연기판(1)과 반도체층(72) 사이에서 완충작용을 하는 버퍼층(70)과, 상기 스토리지 캐패시터( $C_{ST}$ )용 절연체가 되는 제1 절연층(80)과, 상기 소스 전극(90)과 파워 전극(82) 사이의 제2 절연층(84)과, 상기 양극(98)과 드레인 전극(92) 사이의 제3 절연층(94)과, 상기 양극(98)과 유기 EL층(104) 사이의 보호층(100)이 차례대로 적층된 구조를 가지는데, 상기 제1 내지 제3 절연층(80,84,94) 및 보호층(100)에는 각 층간의 전기적 연결을 위한 콘택홀을 포함한다.
- <119> 이와는 달리 유기 EL 표시패널의 발광영역(I)에는 TFT(T) 완성 후 기판 전면에도 포되는 제3 절연층(94) 상에 유기 EL 다이오드(E)이 형성된 상태로 구성된다. 유기 EL 다이오드(E)는 투명 도전성물질로 형성된 양극(98)과, 금속물질로 형성된 음극(106)과, 양극(98)과 음극(106) 사이에 형성된 유기 EL층(104)를 구비한다. 유기 EL층(104)은 양극(98)과 음극(106) 사이에 순차적으로 적층된 정공주입층, 정공수송층, 전자수송층, 전자주입층으로 구성된다. 이들의 발광 원리를 살펴보면, 상기 양극(98) 및 음극(106) 사이에 전류를 흘려주면 정공주입층 및 전자주입층을 통하여 전자 및 정공들로 구성된 캐리어들이 각각 주입된다. 이러한 캐리어들은 정공수송층 및 전자수송층을 통하여 정공수송층과 전자수송층 사이에 형성된 발광층(도시하지 않음)에 수송되어진다. 이 때 정공수송층과 전자수송층은 캐리어들을 발광물질로 효율적으로 수송시켜줌으로써 발광층 내에서 발광결합의 확률을 크게 한다. 캐리어들이 발광층에 주입되면 발광층 내에 엑시톤(exciton)이 생성되며, 이렇게 생성된 엑시톤들이 폴라론(Polaron) 에너지 갭에 해당하는 빛을 발생하여 발광소멸하게 된다. 여기서 발생된 빛은 기판(1) 방향 즉, 하부방향으로 저굴절박막(68) 및 제3 절연층(94)을 경유하여 발광한다.

- <120> 이러한 구성을 가지는 유기 EL 표시패널은 유기 EL층(104)의 발광층에서 발광된 빛이 버퍼층(70), 제1 및 제2 절연층(80,84)을 거치지 않고 저굴절박막(68) 및 제3 절연층(94)을 경유하여 기판(1) 하면을 통하여 발광함으로써 휘도가 향상됨과 아울러 발광 효율이 향상된다.
- <121> 도 7a 내지 도 7i는 도 6에 도시된 액티브 매트릭스형 유기 EL 표시패널의 제조방법을 단계적으로 각각 나타낸 단면도이다. 이러한 제조방법에서의 각 패턴은 별도의 마스크에 그려진 패턴을 박막이 증착된 기판 상에 전사시켜 형성하는 일련의 공정을 거쳐 형성되며, 이러한 공정은 포토레지스트 도포(Photo Resist Coating), 정렬 및 노광(Align & Exposure), 현상(Develop)을 주요 공정으로 하는 사진식각(Photolithography) 공정을 뜻한다.
- <122> 도 7a 내지 도 7j를 참조하면, 먼저 절연기판(1) 상에 도 7a에서와 같이 버퍼층(70)과 액티브층(72a) 및 캐패시터 전극(74)을 형성한다. 이때 버퍼층(70)은 제1 절연물질을 이용하여 기판 전면에 걸쳐 형성한 후 제1 마스크 공정에 의해 발광 영역(I)이 제외된 영역만 남도록 패터닝된다. 액티브층(72a) 및 캐패시터 전극(74)은 버퍼층(70) 상부에 폴리실리콘을 이용하여 전면도포한 후 제2 마스크 공정에 의해 패터닝되어 형성된다.
- <123> 다음으로 액티브층(72a)의 중앙부에 도 7b와 같이 게이트 절연막(76) 및 게이트 전극(78)을 형성한다. 게이트 절연막(76) 및 게이트 전극(78)은 도 7a에서의 기판 상에 제2 절연물질 및 제1 금속물질을 연속하여 증착한 후 제3 마스크 공정에 의해 형성된다.
- <124> 게이트 절연막(76) 및 게이트 전극(78)이 형성되면 제1 절연층(80) 및 파워전극(42)이 도 7c와 같이 기판 상에 형성된다. 제1 절연층(80)은 도 7b에서의 기판 전면

제3 절연물질로 도포하여 형성된다. 파워 전극(82)은 제1 절연층(80) 상부에 제2 금속 물질을 증착한 후 제4 마스크 공정에 의해 상기 캐패시터 전극(74)을 덮도록 패터닝되어 형성된다.

<125> 다음으로 도 7c에서의 기판 상에 도 7d와 같이 제2 절연층(84)을 형성한다. 제2 절연층(84)은 도 7c에서의 기판 전면에서 제3 절연물질을 증착한 후 제7 마스크 공정에 의해 패터닝함으로써 형성된다. 이후 제1 및 제2 절연층(80)(84)은 제1,2 오믹콘택홀(86a,86b) 및 캐패시터 콘택홀(88)을 가지도록 상기 액티브층(72a)의 양단부 및 파워 전극(42)의 일부를 노출시킴과 아울러 발광 영역(I) 상의 기판(1)이 드러나도록 패터닝된다. 이 경우 발광 영역(I)이 드러나도록 제1 및 제2 절연층(80)(84)의 패터닝은 상기 제1,2 오믹콘택홀(86a,86b) 및 캐패시터 콘택홀(88)의 형성과 동시에 수행되어진다.

<126> 여기서, 액티브층(72a)의 양단부는 추후 공정에서 형성된 소스 및 드레인 전극과 제1,2 오믹콘택홀(86a,86b)에 의해 연결되며, 좌측부는 드레인 영역(Ia)을 이루고, 우측부는 소스 영역(Ib)을 이룬다.

<127> 다음으로 액티브층(72a)의 노출된 양단부는 이온도핑 처리되어 불순물이 함유된 오믹콘택층(72b)이 된다. 이로써, 액티브층(72a)과 오믹콘택층(72b)으로 구성되는 반도체층(72)을 완성하게 된다.

<128> 반도체층(72)이 완성되면 소스 및 드레인 전극(90,92)을 도 7e와 같이 형성한다. 이는 도 7d의 기판 전면에서 제3 금속물질을 증착한 후 제6 마스크 공정에 의해 형성된다. 이 때 소스 전극(90)은 상기 캐패시터 콘택홀(도 7d의 88) 및 제1 오믹 콘택홀(도 7d의 86a)을 통하여 파워 전극(82) 및 소스 영역(Ib)의 오믹콘택층(72b)과 연결되도록 형성되

며, 드레인 전극(92)은 제2 오믹 콘택홀(도 7d의 46b)을 통하여 드레인 영역(Ia)의 오믹 콘택층(72b)과 연결되도록 형성된다.

<129> 이 과정을 통하여 반도체층(72), 게이트 전극(78), 소스 및 드레인 전극(90,92)을 포함하는 TFT(T)가 완성되며, 파워 전극(82)과 캐패시터 전극(74) 간의 대응영역에는 스토리지 캐패시터( $C_{ST}$ )가 형성된다. 도면 상에 제시하지 않았지만, 캐패시터 전극(74)은 게이트 전극(78)과 연결되어 있고, 파워 전극(82)은 신호선과 평행한 방향으로 위치하는 전력공급선과 일체되게 형성된다.

<130> 다음으로 제3 절연층(94) 및 저굴절 박막(68)을 도 7f와 같이 순차적으로 형성한다. 제3 절연층(94) 및 저굴절 박막(68)은 도 7e에서의 기판 전면에 제4 절연물질 및 저굴절 물질을 각각 증착한 후 제7 마스크 공정에 의해 드레인 콘택홀(96)이 형성되도록 패터닝된다.

<131> 그 다음 발광영역(I) 상에 도 7g와 같이 양극(98)을 형성한다. 양극(98)은 드레인 콘택홀(도 7f의 96)을 통해 드레인 전극(92)과 연결되도록 투명 도전성물질을 이용하여 제8 마스크 공정에 의해 형성된다. 이로써 상기 공정을 통한 발광 영역(I)의 기판(1) 상에는 제3 절연층(94), 저굴절 박막(68) 및 양극(98)이 순차적으로 적층된 상태로 구성된다.

<132> 다음으로 양극 노출부(102)를 가지도록 도 7h와 같이 보호층(100)을 형성한다. 보호층(100)은 도 7g의 기판 상에 제7 절연물질을 증착한 후 제9 마스크 공정에 의해 양극(98)의 일부영역을 노출시키도록 패터닝됨으로써 형성된다. 여기서, 보호층(100)은 TFT(T)을 수분 및 이물질로부터 보호하는 역할을 한다.

- <133> 이로써, 사진식각 공정이 수반되는 마스크 공정은 마무리되고, 도 7i와 같이 양극 노출부(도 7h의 102)를 통하여 양극(98)과 함께 유기 EL 다이오드(E)를 구성하는 유기 EL층(104) 및 음극(106)을 순차적으로 형성한다.
- <134> 도 8은 본 발명의 제3 실시예에 따른 액티브 매트릭스형 유기 EL 표시패널에 대한 단면도로서, 도 2에 도시된 종래기술에 따른 유기 EL 표시패널과 비교하여 저굴절 박막(68)이 기판(1)과 버퍼층(70) 사이에 위치한 것이 특징이다.
- <135> 도 8을 참조하면, 본 발명의 제3 실시예에 따른 유기 EL 표시패널은 저굴절 박막(68)이 전면에 도포된 절연기판과, 버퍼층(70)을 상부층으로 하는 절연기판(1) 상에 반도체층(72), 게이트 전극(78), 소스 및 드레인 전극(90,92)을 포함하는 TFT(T)와, TFT(T)와 각각 연결된 스토리지 캐패시터( $C_{ST}$ ) 및 유기 EL 다이오드(E)로 구성된다. 또한 본 발명의 제2 실시예에 따른 유기 EL 표시패널은 TFT(T) 상에 형성된 절연층(94)과 유기 EL 다이오드(E) 사이에 저굴절 박막(68)이 형성된다.
- <136> TFT(T)는 스토리지 캐패시터( $C_{ST}$ ) 및 유기 EL 다이오드(E)와 각각 연결되어 게이트 신호들이 인에이블될 때에 구동되게 한다. 이로써, 데이터 라인(DL)상의 화소 신호의 크기에 상응하는 빛을 유기 EL 다이오드(E)에 발생시키는 역할을 한다.
- <137> 스토리지 캐패시터( $C_{ST}$ )는 절연체가 개재된 상태로 서로 대향된 파워 전극(82) 및 캐패시터 전극(74)으로 구성되고, 유기 EL 다이오드(E)는 유기 EL 층(64)이 개재된 상태로 서로 대향된 양극(98), 유기 EL층(104) 및 음극(106)으로 구성된다. 이 때 유기 EL 다이오드(E)는 발광영역이 정의된 절연기판(1) 상에 바로 올려진 상태로 형성된다.



- <138> 이를 상세히 하면, TFT(T)의 소스 전극(90)은 파워 전극(82)과 연결되어 있고, 드레인 전극(92)은 유기 EL 다이오드(E)의 하부전극인 양극(98)과 연결되어 있다.
- <139> 일반적으로, 하부 발광방식의 유기 EL 표시패널에서의 양극(98)은 유기 EL층(104)에서 발광된 빛이 투과되도록 광 투과성 물질로 이루어지고, 음극(106)은 유기 EL층(104)으로 전자주입을 원활히 할 수 있도록 일함수(Work function)값이 낮은 금속으로 이루어진다.
- <140> 한편, 유기 EL 표시패널의 TFT(T)와 발광영역(I)에 포함되는 절연층들의 적층 구조를 살펴보면, 유기 EL 표시패널의 절연층들은 저굴절 박막(68)이 도포된 절연기판(1)과 반도체층(72) 사이에서 완충작용을 하는 버퍼층(70)과, 상기 스토리지 캐패시터(C<sub>ST</sub>)용 절연체가 되는 제1 절연층(80)과, 상기 소스 전극(90)과 파워 전극(82) 사이의 제2 절연층(84)과, 상기 양극(98)과 드레인 전극(92) 사이의 제3 절연층(94)과, 상기 양극(98)과 유기 EL층(104) 사이의 보호층(100)이 차례대로 적층된 구조를 가지는데, 상기 제1 내지 제3 절연층(80,84,94) 및 보호층(100)에는 각 층간의 전기적 연결을 위한 콘택홀을 포함한다.
- <141> 또한 유기 EL 표시패널의 발광영역(I)에는 저굴절 박막(68)이 도포된 기판(1) 상에 순차적으로 적층된 버퍼층(70) 및 제1 내지 제3 절연층(80,84,94)과, 상기 제3 절연층(94) 상에 형성된 유기 EL 다이오드(E)로 구성된다. 유기 EL 다이오드(E)는 투명 도전성물질로 형성된 양극(98)과, 금속물질로 형성된 음극(106)과, 양극(98)과 음극(106) 사이에 형성된 유기 EL층(104)를 구비한다. 유기 EL층(104)은 양극(98)과 음극(106) 사이에 순차적으로 적층된 정공주입층, 정공수송층, 전자수송층, 전자주입층으로 구성된다. 이들의 발광 원리를 살펴보면, 상기 양극(98) 및 음극(106) 사이에 전류를 흘려주면 정

공주입층 및 전자주입층을 통하여 전자 및 정공들로 구성된 캐리어들이 각각 주입된다. 이러한 캐리어들은 정공수송층 및 전자수송층을 통하여 정공수송층과 전자수송층 사이에 형성된 발광층(도시하지 않음)에 수송되어진다. 이 때 정공수송층과 전자수송층은 캐리어들을 발광물질로 효율적으로 수송시켜줌으로써 발광층 내에서 발광결합의 확률을 크게 한다. 캐리어들이 발광층에 주입되면 발광층 내에 엑시톤(exciton)이 생성되며, 이렇게 생성된 엑시톤들이 폴라론(Polaron) 에너지 갭에 해당하는 빛을 발생하여 발광소멸하게 된다. 여기서 발생된 빛은 기판(1) 방향 즉, 하부방향으로 저굴절박막(68) 및 제3 절연층(94)을 경유하여 발광한다.

<142> 이러한 구성을 가지는 유기 EL 표시패널은 유기 EL층(104)의 발광층에서 발광된 빛이 저굴절 박막(68)이 도포된 기판(1) 하면을 통하여 발광함으로써 휘도가 향상됨과 아울러 발광 효율이 향상된다.

<143> 도 9a 내지 도 9j는 도 8에 도시된 액티브 매트릭스형 유기 EL 표시패널의 제조방법을 단계적으로 각각 나타낸 단면도이다. 이러한 제조방법에서의 각 패턴은 별도의 마스크에 그려진 패턴을 박막이 증착된 기판 상에 전사시켜 형성하는 일련의 공정을 거쳐 형성되며, 이러한 공정은 포토레지스트 도포(Photo Resist Coating), 정렬 및 노광(Align & Exposure), 현상(Develop)을 주요 공정으로 하는 사진식각(Photolithography) 공정을 뜻한다.

<144> 도 9a 내지 도 9j를 참조하면, 먼저 절연기판(1) 전면에도 9a와 같이 저굴절 박막(68)을 형성한다. 저굴절 박막(68)은 유기 EL 다이오드(E)로부터 발생된 빛이 굴절되는 비율을 줄임으로써 기판 하면으로 나오는 발광효율을 향상시키는 역할을 한다. 이

러한 저굴절 박막(68)으로는 저굴절율을 가지는 물질이 사용되며, 주로 실리카 에어로겔(Silica aerogel) 및 실리카 겔(Silica gel) 등이 사용된다.

<145> 다음으로 도 9a에서의 기판 상에 도 9b에서와 같이 버퍼층(70)과 액티브층(72a) 및 캐패시터 전극(74)을 형성한다. 이때 버퍼층(70)은 제1 절연물질을 이용하여 기판 전면 에 걸쳐 형성되고, 액티브층(72a) 및 캐패시터 전극(74)은 버퍼층(70) 상부에 폴리실리 콘을 이용하여 전면도포한 후 제1 마스크 공정에 의해 형성된다.

<146> 다음으로 액티브층(72a)의 중앙부에 도 9c와 같이 게이트 절연막(76) 및 게이트 전극(78)을 형성한다. 게이트 절연막(76) 및 게이트 전극(78)은 도 9b에서의 기판 상에 제2 절연물질 및 제1 금속물질을 연속하여 증착한 후 제2 마스크 공정에 의해 형성되어 진다.

<147> 게이트 절연막(76) 및 게이트 전극(78)이 형성되면 제1 절연층(80) 및 파워전극 (42)이 도 9d와 같이 기판 상에 형성된다. 제1 절연층(80)은 도 9c에서의 기판 전면 에 제3 절연물질을 도포하여 형성된다. 파워 전극(82)은 제1 절연층(80) 상부에 제2 금속 물질을 증착한 후 제3 마스크 공정에 의해 상기 캐패시터 전극(74)을 덮도록 패터닝하여 형성된다.

<148> 다음으로 도 9d에 도시된 기판 상에 도 9e와 같이 제2 절연층(84)을 형성한다. 제 2 절연층(84)은 도 9d에 도시된 기판 전면 에 제3 절연물질을 증착한 후 제4 마스크 공정 에 의해 패터닝함으로써 형성된다. 이후 제2 절연층(84)은 제1,2 오믹콘택홀(86a,86b) 및 캐패시터 콘택홀(88)을 가지도록 상기 액티브층(72a)의 양단부 및 파워 전극(82)의 일부를 노출된다. 여기서, 액티브층(72a)의 양단부는 추후 공정에서 형성된 소스 및 드

레인 전극과 제1,2 오믹콘택홀(86a,86b)에 의해 연결되며, 좌측부는 드레인 영역(Ia)을 이루고, 우측부는 소스 영역(Ib)을 이룬다.

<149> 다음으로 액티브층(72a)의 노출된 양단부는 이온도핑 처리되어 불순물이 함유된 오믹콘택층(72b)이 된다. 이로써, 액티브층(72a)과 오믹콘택층(72b)으로 구성되는 반도체층(72)을 완성하게 된다.

<150> 반도체층(72)이 완성되면 소스 및 드레인 전극(90,92)을 도 9f와 같이 형성한다. 이는 도 9e의 기판 전면에 제3 금속물질을 증착한 후 제5 마스크 공정에 의해 형성된다. 이 때 소스 전극(90)은 상기 캐패시터 콘택홀(도 9e의 88) 및 제1 오믹 콘택홀(도 9e의 86a)을 통하여 파워 전극(82) 및 소스 영역(Ib)의 오믹콘택층(82b)과 연결되도록 형성되며, 드레인 전극(92)은 제2 오믹 콘택홀(도 9e의 86b)을 통하여 드레인 영역(Ia)의 오믹 콘택층(72b)과 연결되도록 형성된다.

<151> 이 과정을 통하여 반도체층(72), 게이트 전극(78), 소스 및 드레인 전극(90,92)을 포함하는 TFT(T)가 완성되며, 파워 전극(82)과 캐패시터 전극(74) 간의 대응영역에는 스토리지 캐패시터( $C_{ST}$ )가 형성된다. 도면 상에 제시하지 않았지만, 캐패시터 전극(74)은 게이트 전극(78)과 연결되어 있고, 파워 전극(82)은 신호선과 평행한 방향으로 위치하는 전력공급선과 일체되게 형성된다.

<152> 다음으로 제3 절연층(94)을 도 9g와 같이 형성한다. 제3 절연층(94)은 도 9f에서의 기판 전면에 제4 절연물질을 증착한 후 제6 마스크 공정에 의해 드레인 콘택홀(96)을 패터닝함으로써 형성된다.

- <153>      그 다음 발광영역(I) 상에 도 9h와 같이 양극(98)을 형성한다. 양극(98)은 드레인 콘택홀(도 9g의 96)을 통해 드레인 전극(92)과 연결되도록 투명 도전성물질을 이용하여 제7 마스크 공정에 의해 형성된다.
- <154>      다음으로 양극 노출부(102)를 가지도록 도 9i와 같이 보호층(100)을 형성한다. 보호층(100)은 도 9h의 기판 상에 제5 절연물질을 증착한 후 제8 마스크 공정에 의해 양극(98)의 일부영역을 노출시키도록 패터닝됨으로써 형성된다. 여기서, 보호층(100)은 TFT(T)을 수분 및 이물질로부터 보호하는 역할을 한다.
- <155>      이로써, 사진식각 공정이 수반되는 마스크 공정은 마무리되고, 도 9j와 같이 양극 노출부(도 9i의 102)를 통하여 양극(98)과 함께 유기 EL 다이오드(E)를 구성하는 유기 EL층(104) 및 음극(106)을 순차적으로 형성한다.
- <156>      이로써, 본 발명의 제1 내지 제3 실시예에 따른 유기 EL 표시패널은 발광 영역 상에 무기 절연층들을 제거함과 아울러 저굴절 박막을 형성함으로써 휘도 및 발광 효율을 향상시킬 수 있다. 또한 본 발명에 따른 유기 EL 표시패널 및 그 제조방법은 TFT(T)에서 제공되는 캐리어 특성에 따라 양극과 음극의 위치를 변경할 수 있으며, 도 1에 도시된 구동 회로에 휘도 균일도를 향상시키기 위해 보상 TFT들을 추가함으로써 4개의 TFT로 구성하는 방식도 적용할 수 있다.

#### 【발명의 효과】

- <157>      상술한 바와 같이, 본 발명에 따른 액티브 매트릭스형 유기 전계발광 표시패널 및 그 제조방법은 기판 상에 저굴절 박막을 형성함과 아울러 발광영역 상에 무기절연물질로

구성되는 절연막들을 박막트랜지스터 제조공정을 통하여 제거할 수 있다. 이로 인하여, 본 발명에 따른 액티브 매트릭스형 유기 전계발광 표시패널은 유기 전계발광 다이오드에 서 발광된 빛을 하부기판으로 바로 방출시킴과 아울러 저굴절 물질을 이용함으로써 휘도 및 발광효율이 증가시킬 수 있게 된다.

<158>      이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

**【특허청구범위】****【청구항 1】**

발광 영역이 정의된 기판과,

상기 기판 상에 저굴절 물질로 형성되어 상기 기판에 의한 빛의 손실을 줄이기 위한 저굴절 박막과,

상기 저굴절 박막이 형성된 기판의 소정 위치에 포토리소그래피 방법을 포함한 마스크 공정에 의해 형성되고 외부로부터의 제어신호에 의해 스위칭 및 구동역할을 하는 박막트랜지스터들과,

상기 박막트랜지스터들에 연결되어 외부로부터의 데이터 신호를 충방전하는 스토리지 캐패시터와,

상기 박막트랜지스터들의 마스크 공정에 의해 패터닝되어 발광 영역 상의 기판이 노출되어진 기판 상에 형성되어 외부 전류 및 전압에 의해 발광하는 유기 전계발광 다이오드를 구비하는 것을 특징으로 하는 액티브 매트릭스형 유기 전계발광 표시패널.

**【청구항 2】**

제 1 항에 있어서,

상기 저굴절 박막은 상기 박막트랜지스터들의 마스크 공정에 의해 패터닝되어 발광 영역 상의 기판이 노출된 후 절연되어진 기판과 상기 유기 전계발광 다이오드 사이에 구성되는 것을 특징으로 하는 액티브 매트릭스형 유기 전계발광 표시패널.

**【청구항 3】**

제 2 항에 있어서,



상기 저굴절 물질은 굴절율( $n$ )이 1.5 이하인 물질을 특징으로 하는 액티브 매트릭스형 유기 전계발광 표시패널.

**【청구항 4】**

제 3 항에 있어서,

상기 저굴절 물질은 굴절율( $n$ )이 1.5 이하인 실리카 에어로겔(Silica aerogel) 및 실리카 겔(Silica gel) 등을 특징으로 하는 액티브 매트릭스형 유기 전계발광 표시패널.

**【청구항 5】**

제 4 항에 있어서,

상기 실리카 에어로겔(Silica aerogel)의 굴절율( $n$ )은 약 1.07 인 것을 특징으로 하는 액티브 매트릭스형 유기 전계발광 표시패널.

**【청구항 6】**

제 1 항에 있어서,

상기 유기 전계발광 다이오드는 상기 기판의 발광 영역 상에 투명 도전성 물질로 형성된 제1 전극과,

상기 기판의 발광 영역 상에 상기 제1 전극을 덮도록 유기 발광물질로 형성된 유기 발광층과,

상기 유기 발광층 상부에 상기 기판 전면을 도포하도록 금속물질로 형성된 제2 전극을 구비하는 것을 특징으로 하는 액티브 매트릭스형 유기 전계발광 표시패널.



**【청구항 7】**

제 6 항에 있어서,  
상기 박막트랜지스터들은  
상기 기판 상에 형성된 반도체층과,  
상기 반도체층 상부에 순차적으로 적층된 게이트 절연막 및 게이트 전극과,  
상기 반도체층 및 상기 유기 전계발광 다이오드의 제1 전극과 연결되도록 형성된  
드레인전극과,  
상기 반도체층 및 상기 스토리지 캐패시터와 연결되도록 상기 드레인전극과 동시에  
형성된 소스 전극을 구비하는 것을 특징으로 하는 액티브 매트릭스형 유기 전계발광 표시패널.

**【청구항 8】**

제 7 항에 있어서,  
상기 스토리지 캐패시터는 상기 기판 상에 상기 반도체층과 소정 간격으로 이격되  
게 형성된 캐패시터 전극과,  
상기 캐패시터 전극 상부에 절연 후 상기 소스 전극과 연결됨과 아울러 상기 캐패  
시터 전극을 덮도록 형성된 파워 전극으로 구성되는 것을 특징으로 하는 액티브 매트릭  
스형 유기 전계발광 표시패널.

**【청구항 9】**

제 7 항에 있어서,  
상기 반도체층은 p형 반도체층이며,

상기 제1 및 제2 전극은 각각 양극 및 음극인 것을 특징으로 하는 액티브 매트릭스형 유기 전계발광 표시패널.

**【청구항 10】**

제 6 항에 있어서,

상기 투명 도전성 물질은 인듐 틴 옥사이드(Indium Tin Oxide)인 것을 특징으로 하는 액티브 매트릭스형 유기 전계발광 표시패널.

**【청구항 11】**

발광 영역이 정의된 기판과,

발광된 빛의 손실을 줄이기 위해 상기 기판 전면에 저굴절 물질을 도포하여 형성된 저굴절 박막과,

상기 기판의 소정 위치에 포토리소그래피 방법을 포함한 마스크 공정에 의해 형성되고 외부로부터의 제어신호에 의해 스위칭 및 구동역할을 하는 박막트랜지스터들과,

상기 박막트랜지스터들에 연결되어 외부로부터의 데이터 신호를 충방전하는 스토리지 캐패시터와,

상기 박막트랜지스터 및 스토리지 캐패시터가 형성된 기판의 발광 영역 상에 형성되어 외부 전류 및 전압에 의해 발광하는 유기 전계발광 다이오드를 구비하는 것을 특징으로 하는 액티브 매트릭스형 유기 전계발광 표시패널.

**【청구항 12】**

제 11 항에 있어서,

상기 저굴절 물질은 굴절율( $n$ )이 1.5 이하인 물질을 특징으로 하는 액티브 매트릭스형 유기 전계발광 표시패널.

【청구항 13】

제 12 항에 있어서,

상기 저굴절 물질은 굴절율( $n$ )이 1.5 이하인 실리카 에어로겔(Silica aerogel) 및 실리카 겔(Silica gel) 등을 특징으로 하는 액티브 매트릭스형 유기 전계발광 표시패널.

【청구항 14】

제 13 항에 있어서,

상기 실리카 에어로겔(Silica aerogel)의 굴절율( $n$ )은 약 1.07 인 것을 특징으로 하는 액티브 매트릭스형 유기 전계발광 표시패널.

【청구항 15】

제 11 항에 있어서,

상기 유기 전계발광 다이오드는 상기 기판의 발광 영역 상에 투명 도전성 물질로 형성된 제1 전극과,

상기 기판의 발광 영역 상에 상기 제1 전극을 덮도록 유기 발광물질로 형성된 유기 발광층과,

상기 유기 발광층 상부에 상기 기판 전면을 도포하도록 금속물질로 형성된 제2 전극을 구비하는 것을 특징으로 하는 액티브 매트릭스형 유기 전계발광 표시패널.

**【청구항 16】**

제 15 항에 있어서,  
상기 박막트랜지스터들은  
상기 기판 상에 형성된 반도체층과,  
상기 반도체층 상부에 순차적으로 적층된 게이트 절연막 및 게이트 전극과,  
상기 반도체층 및 상기 유기 전계발광 다이오드의 제1 전극과 연결되도록 형성된  
드레인전극과,

상기 반도체층 및 상기 스토리지 캐패시터와 연결되도록 상기 드레인전극과 동시에  
형성된 소스 전극을 구비하는 것을 특징으로 하는 액티브 매트릭스형 유기 전계발광 표시패널.

**【청구항 17】**

제 16 항에 있어서,  
상기 스토리지 캐패시터는 상기 기판 상에 상기 반도체층과 소정 간격으로 이격되  
게 형성된 캐패시터 전극과,

상기 캐패시터 전극 상부에 절연 후 상기 소스 전극과 연결됨과 아울러 상기 캐패  
시터 전극을 덮도록 형성된 파워 전극으로 구성되는 것을 특징으로 하는 액티브 매트릭  
스형 유기 전계발광 표시패널.

**【청구항 18】**

제 16 항에 있어서,  
상기 반도체층은 p형 반도체층이며,



상기 제1 및 제2 전극은 각각 양극 및 음극인 것을 특징으로 하는 액티브 매트릭스형 유기 전계발광 표시패널.

【청구항 19】

제 15 항에 있어서,

상기 투명 도전성 물질은 인듐 틴 옥사이드(Indium Tin Oxide)인 것을 특징으로 하는 액티브 매트릭스형 유기 전계발광 표시패널.

【청구항 20】

발광영역이 정의된 기판 전면에 저굴절 물질을 도포하여 저굴절 박막을 형성하는 단계와,

상기 저굴절 박막이 형성된 기판 상에 발광 영역이 드러나도록 마스크 공정에 의해 버퍼층을 형성하는 단계와,

상기 버퍼층 상에 노광, 현상, 식각 공정을 포함하는 마스크 공정에 의해 소정 간격으로 이격된 액티브층 및 캐패시터 전극을 형성하는 단계와,

상기 액티브층의 중앙부에 게이트 절연막 및 게이트 전극을 순차적으로 형성하는 단계와,

상기 게이트 절연막 및 게이트 전극을 덮도록 상기 기판 전면에 제1 절연층을 형성하는 단계와,

상기 제1 절연층 상에 상기 캐패시터 전극과 대응하는 영역을 덮도록 상기 기판 상에 파워 전극을 형성하는 단계와,

상기 파워 전극을 덮도록 상기 기판 전면에 제2 절연층을 형성하는 단계와,

상기 액티브층 및 파워 전극의 소정 영역과 상기 발광영역 상의 저굴절 박막이 도포된 기판을 노출시키는 단계와,

상기 노출된 액티브층이 형성된 기판을 이온 도핑하여 반도체층을 완성하는 단계와,

상기 반도체층 및 파워 전극의 소정 영역을 통하여 통하여 소정 간격으로 이격된 소스 및 드레인전극을 형성하는 단계와,

상기 소스 및 드레인전극을 덮도록 제3 절연층을 형성하는 단계와,

상기 드레인 콘택홀을 형성함과 아울러 상기 발광영역 상의 저굴절 박막이 도포된 기판이 노출되도록 상기 제3 절연층을 패터닝하는 단계와,

상기 발광 영역 상의 노출된 저굴절 박막이 도포된 기판 상에 상기 드레인전극과 연결되는 유기 전계발광 다이오드를 형성하는 단계를 포함하는 것을 특징으로 하는 액티브 매트릭스형 유기 전계발광 표시패널의 제조방법.

#### 【청구항 21】

제 20 항에 있어서,

상기 저굴절 물질은 굴절율(n)이 1.5 이하인 실리카 에어로겔(Silica aerogel) 및 실리카 겔(Silica gel) 중 어느 하나인 것을 특징으로 하는 액티브 매트릭스형 유기 전계발광 표시패널의 제조방법.

#### 【청구항 22】

제 20 항에 있어서,

상기 유기 전계발광 다이오드를 형성하는 단계는 상기 노출된 저굴절 박막이 도포된 기판을 포함하는 발광영역 상에 투명 도전성 물질의 제1 전극을 형성하는 단계와,

상기 제1 전극이 형성된 기판의 발광 영역 상에 유기 발광물질을 도포하여 유기 발광층을 형성하는 단계와,

상기 유기 발광층 상에 상기 제1 전극과 함께 전기적 신호가 인가되도록 상기 기판 전면에 금속물질의 제2 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 액티브 매트릭스형 유기 전계발광 표시패널의 제조방법.

【청구항 23】

제 22 항에 있어서,

상기 제1 전극 형성 후 상기 제1 전극의 발광부가 노출된 보호층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 액티브 매트릭스형 유기 전계발광 표시패널의 제조방법.

【청구항 24】

제 22 항에 있어서,

상기 반도체층은 p형 이온으로 도핑처리된 p형 반도체층인 것과,

상기 제1 및 제2 전극은 각각 양극 및 음극인 것을 특징으로 하는 액티브 매트릭스형 유기 전계발광 표시패널의 제조방법.

【청구항 25】

제 22 항에 있어서,

상기 투명 도전성 물질은 인듐 틴 옥사이드(Indium Tin Oxide)인 것을 특징으로 액티브 매트릭스형 유기 전계발광 표시패널의 제조방법.

【청구항 26】

발광영역이 정의된 기판 상에 발광 영역이 드러나도록 마스크 공정에 의해 버퍼층을 형성하는 단계와,

상기 버퍼층 상에 노광, 현상, 식각 공정을 포함하는 마스크 공정에 의해 소정 간격으로 이격된 액티브층 및 캐패시터 전극을 형성하는 단계와,

상기 액티브층의 중앙부에 게이트 절연막 및 게이트 전극을 순차적으로 형성하는 단계와,

상기 게이트 절연막 및 게이트 전극을 덮도록 상기 기판 전면에서 제1 절연층을 형성하는 단계와,

상기 제1 절연층 상에 상기 캐패시터 전극과 대응하는 영역을 덮도록 상기 기판 상에 파워 전극을 형성하는 단계와,

상기 파워 전극을 덮도록 상기 기판 전면에서 제2 절연층을 형성하는 단계와,

상기 액티브층 및 파워 전극의 소정 영역과 상기 발광영역 상의 저굴절 박막이 도포된 기판을 노출시키는 단계와,

상기 노출된 액티브층이 형성된 기판을 이온 도핑하여 반도체층을 완성하는 단계와,

상기 반도체층 및 파워 전극의 소정 영역을 통하여 통하여 소정 간격으로 이격된 소스 및 드레인전극을 형성하는 단계와,



상기 소스 및 드레인전극을 덮도록 제3 절연층 및 저굴절 박막을 순차적으로 형성하는 단계와,

상기 드레인 콘택홀을 형성하도록 상기 제3 절연층 및 저굴절 박막을 패터닝하는 단계와,

상기 발광 영역 상의 노출된 저굴절 박막이 도포된 기판 상에 상기 드레인전극과 연결되는 유기 전계발광 다이오드를 형성하는 단계를 포함하는 것을 특징으로 하는 액티브 매트릭스형 유기 전계발광 표시패널의 제조방법.

【청구항 27】

제 26 항에 있어서,

상기 저굴절 박막은 저굴절 물질로 형성되며;

상기 저굴절 물질은 굴절율( $n$ )이 1.5 이하인 실리카 에어로겔(Silica aerogel) 및 실리카 겔(Silica gel) 중 어느 하나인 것을 특징으로 하는 액티브 매트릭스형 유기 전계발광 표시패널의 제조방법.

【청구항 28】

제 26 항에 있어서,

상기 유기 전계발광 다이오드를 형성하는 단계는 상기 제3 절연층 및 저굴절 박막이 순차적으로 적층된 기판을 포함하는 발광영역 상에 투명 도전성 물질의 제1 전극을 형성하는 단계와,

상기 제1 전극이 형성된 기판의 발광 영역 상에 유기 발광물질을 도포하여 유기 발광층을 형성하는 단계와,

상기 유기 발광층 상에 상기 제1 전극과 함께 전기적 신호가 인가되도록 상기 기판 전면에 금속물질의 제2 전극을 형성하는 단계에 포함하는 것을 특징으로 하는 액티브 매트릭스형 유기 전계발광 표시패널의 제조방법.

【청구항 29】

제 28 항에 있어서,

상기 제1 전극 형성 후 상기 제1 전극의 발광부가 노출된 보호층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 액티브 매트릭스형 유기 전계발광 표시패널의 제조방법.

【청구항 30】

제 28 항에 있어서,

상기 반도체층은 p형 이온으로 도핑처리된 p형 반도체층인 것과,

상기 제1 및 제2 전극은 각각 양극 및 음극인 것을 특징으로 하는 액티브 매트릭스형 유기 전계발광 표시패널의 제조방법.

【청구항 31】

제 28 항에 있어서,

상기 투명 도전성 물질은 인듐 틴 옥사이드(Indium Tin Oxide)인 것을 특징으로 액티브 매트릭스형 유기 전계발광 표시패널의 제조방법.

【청구항 32】

발광영역이 정의된 기판 전면에 저굴절 물질을 도포하여 저굴절 박막을 형성하는 단계와,

상기 저굴절 박막이 형성된 기판 전면에 버퍼층을 형성하는 단계와,

상기 버퍼층 상에 노광, 현상, 식각 공정을 포함하는 마스크 공정에 의해 소정 간격으로 이격된 액티브층 및 캐패시터 전극을 형성하는 단계와,

상기 액티브층의 중앙부에 게이트 절연막 및 게이트 전극을 순차적으로 형성하는 단계와,

상기 게이트 절연막 및 게이트 전극을 덮도록 상기 기판 전면에 제1 절연층을 형성하는 단계와,

상기 제1 절연층 상에 상기 캐패시터 전극과 대응하는 영역을 덮도록 상기 기판 상에 파워 전극을 형성하는 단계와,

상기 파워 전극을 덮도록 상기 기판 전면에 제2 절연층을 형성하는 단계와,

상기 액티브층 및 파워 전극의 소정 영역을 노출시키는 단계와,

상기 노출된 액티브층이 형성된 기판을 이온 도핑하여 반도체층을 완성하는 단계와

,  
상기 반도체층 및 파워 전극의 소정 영역을 통하여 통하여 소정 간격으로 이격된 소스 및 드레인전극을 형성하는 단계와,

상기 소스 및 드레인전극을 덮도록 제3 절연층을 형성하는 단계와,

상기 드레인 콘택홀을 형성하도록 상기 제3 절연층을 패터닝하는 단계와,

상기 드레인전극과 연결되도록 상기 기판 상에 유기 전계발광 다이오드를 형성하는 단계를 포함하는 것을 특징으로 하는 액티브 매트릭스형 유기 전계발광 표시패널의 제조 방법.

**【청구항 33】**

제 32 항에 있어서,

상기 저굴절 물질은 굴절율( $n$ )이 1.5 이하인 실리카 에어로겔(Silica aerogel) 및 실리카 겔(Silica gel) 중 어느 하나인 것을 특징으로 하는 액티브 매트릭스형 유기 전계발광 표시패널의 제조방법.

**【청구항 34】**

제 32 항에 있어서,

상기 유기 전계발광 다이오드를 형성하는 단계는 저굴절 박막, 버퍼층 및 제1 내지 제3 절연층이 순차적으로 적층된 기판을 포함하는 발광영역 상에 투명 도전성 물질의 제1 전극을 형성하는 단계와,

상기 제1 전극이 형성된 기판의 발광 영역 상에 유기 발광물질을 도포하여 유기 발광층을 형성하는 단계와,

상기 유기 발광층 상에 상기 제1 전극과 함께 전기적 신호가 인가되도록 상기 기판 전면에 금속물질의 제2 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 액티브 매트릭스형 유기 전계발광 표시패널의 제조방법.

**【청구항 35】**

제 34 항에 있어서,

상기 제1 전극 형성 후 상기 제1 전극의 발광부가 노출된 보호층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 액티브 매트릭스형 유기 전계발광 표시패널의 제조방법.

**【청구항 36】**

제 34 항에 있어서,

상기 반도체층은 p형 이온으로 도핑처리된 p형 반도체층인 것과,

상기 제1 및 제2 전극은 각각 양극 및 음극인 것을 특징으로 하는 액티브 매트릭스형 유기 전계발광 표시패널의 제조방법.

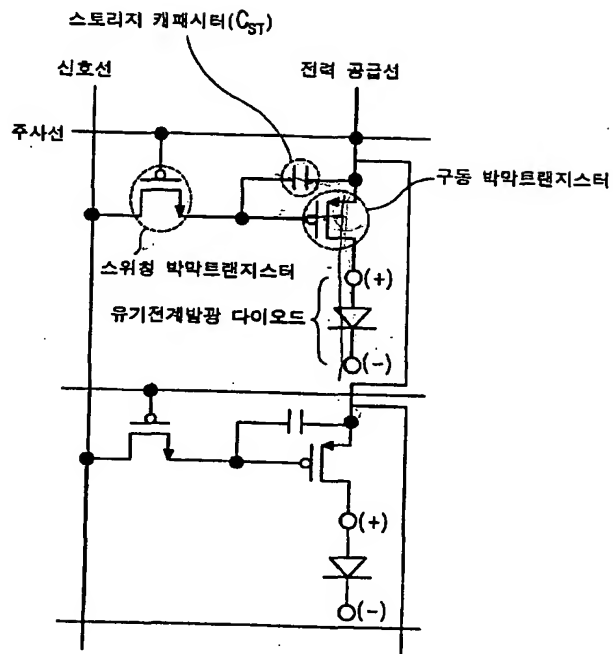
**【청구항 37】**

제 34 항에 있어서,

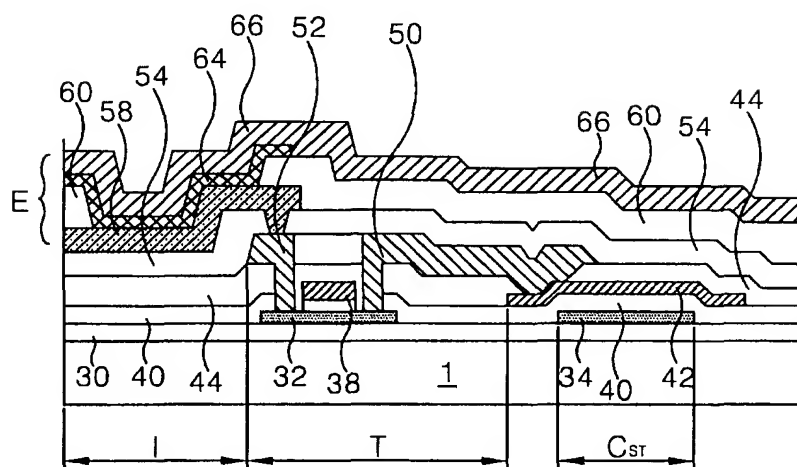
상기 투명 도전성 물질은 인듐 틴 옥사이드(Indium Tin Oxide)인 것을 특징으로 액티브 매트릭스형 유기 전계발광 표시패널의 제조방법.

【도면】

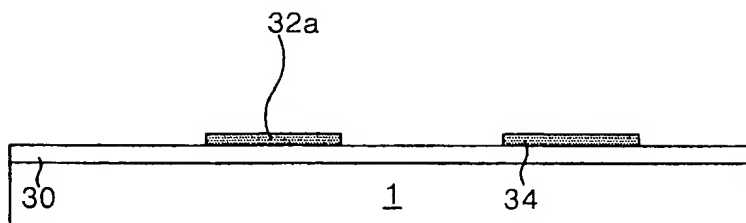
【도 1】



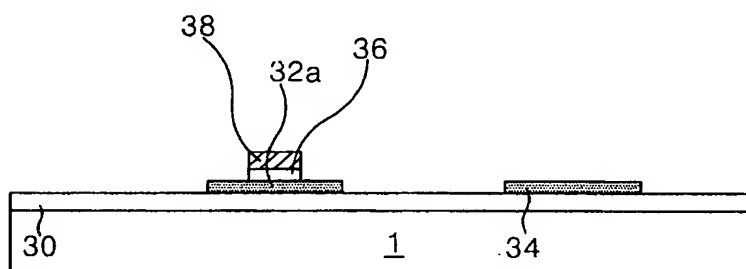
【도 2】



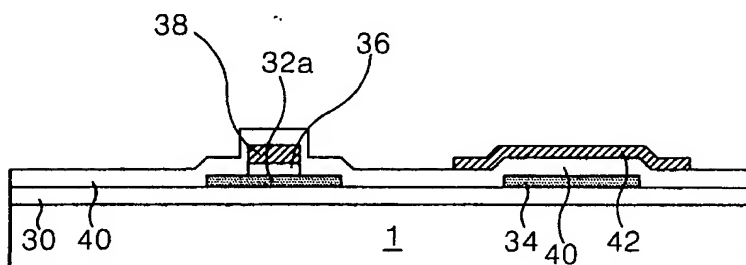
【도 3a】



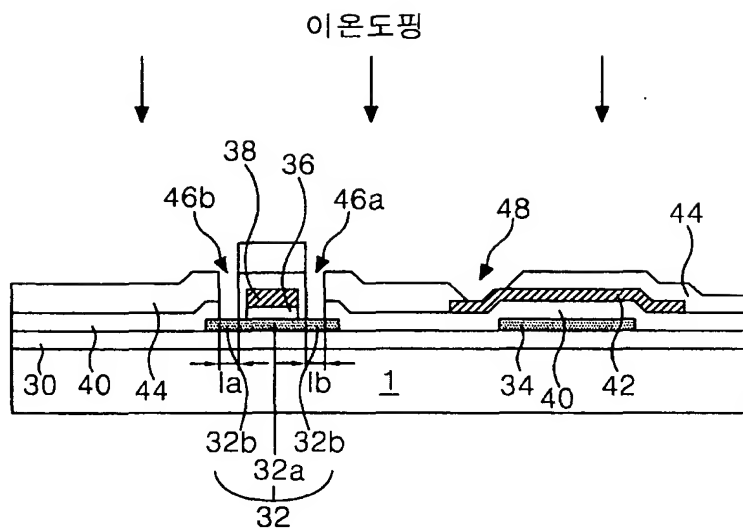
【도 3b】



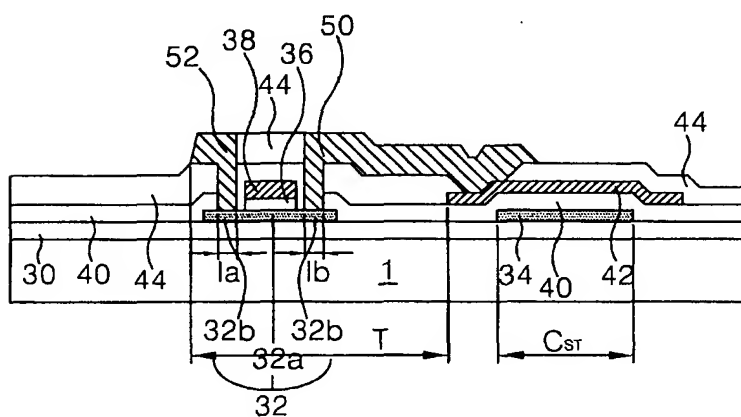
【도 3c】



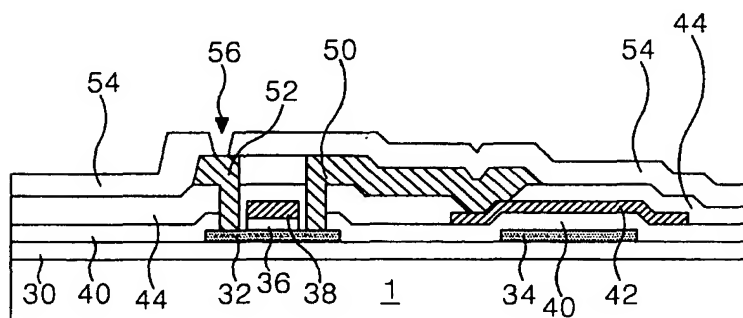
【도 3d】



【도 3e】

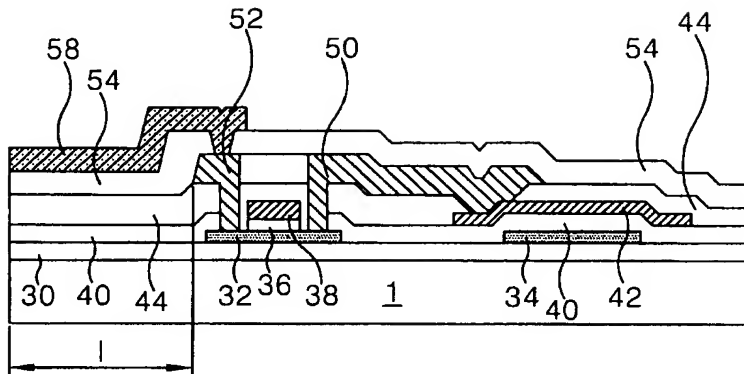


【도 3f】

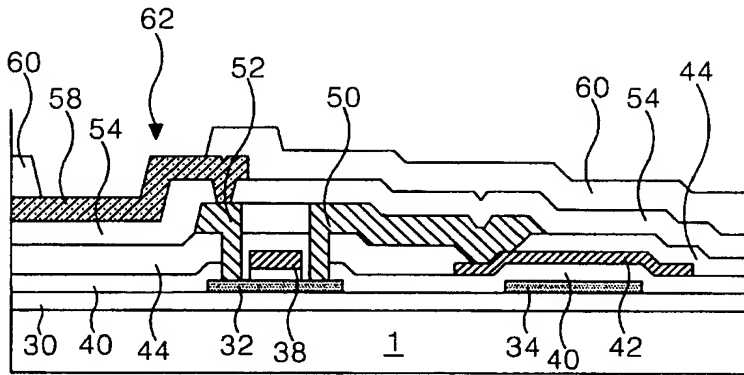




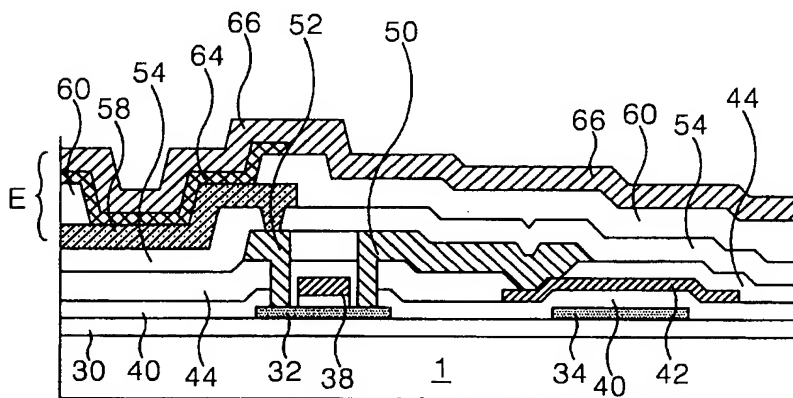
【도 3g】



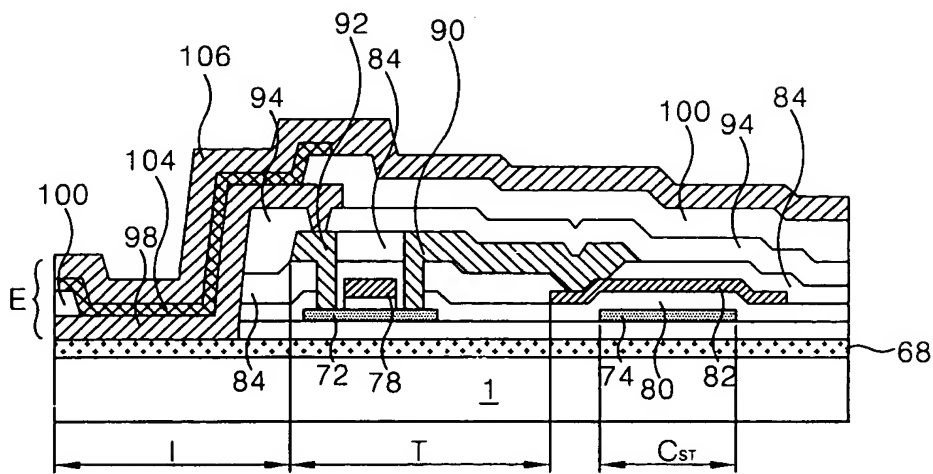
【도 3h】



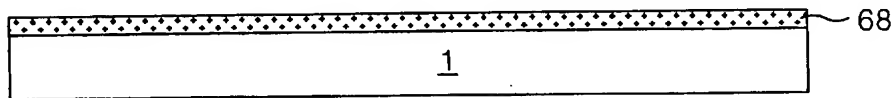
【도 3i】



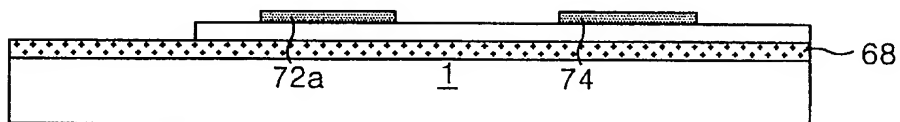
【도 4】



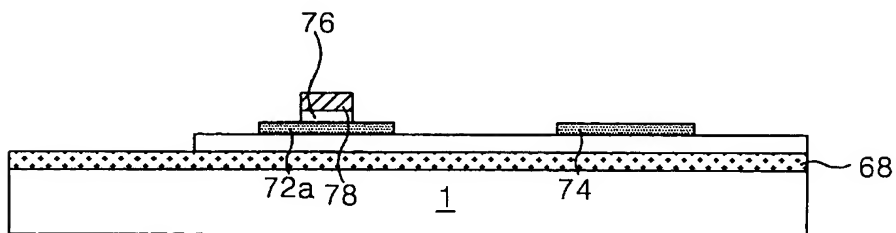
【도 5a】



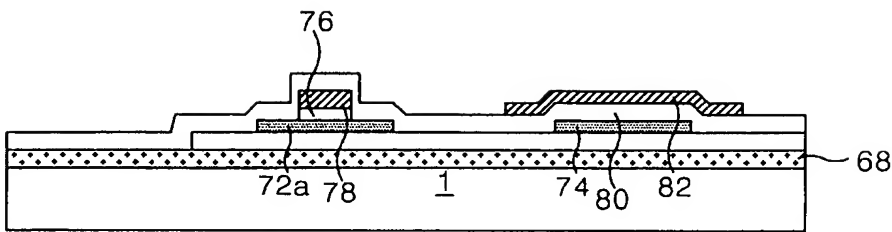
【도 5b】



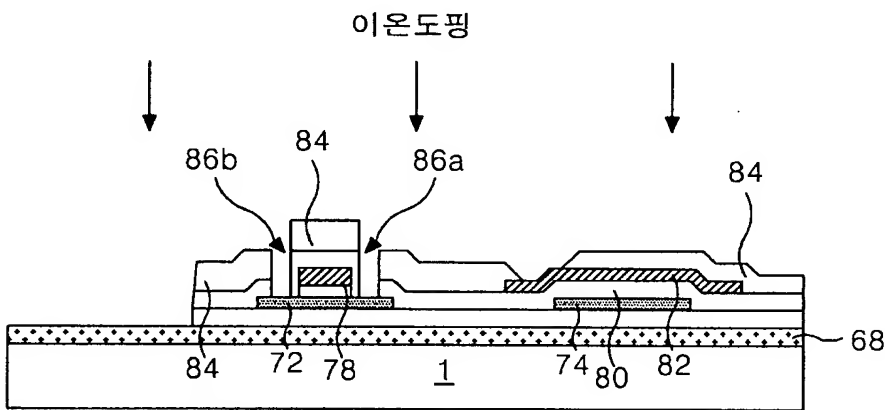
【도 5c】



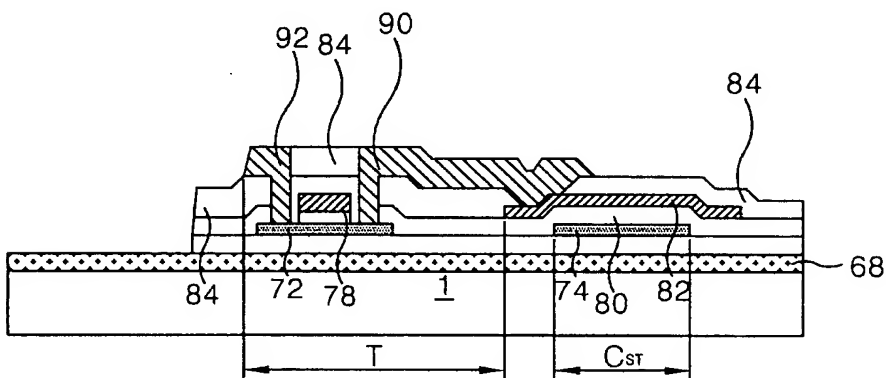
【도 5d】



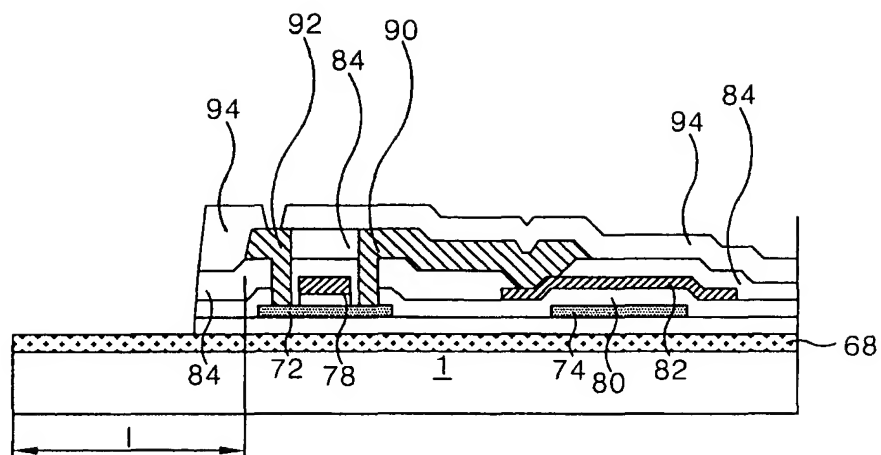
【도 5e】



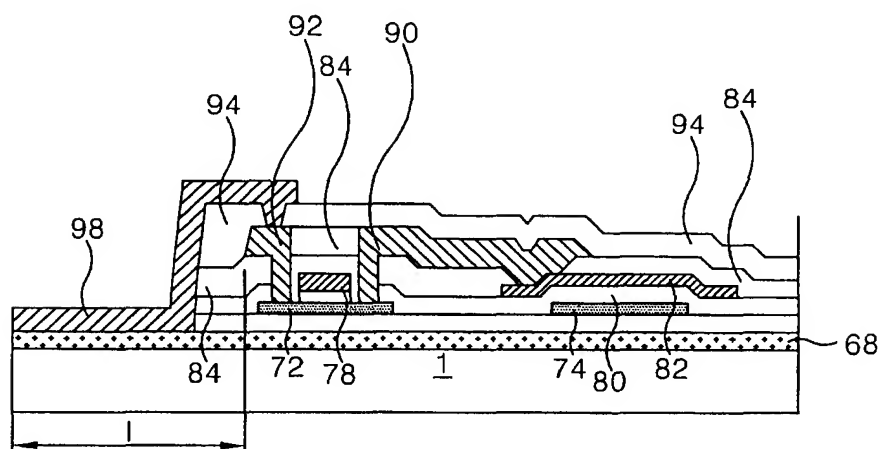
【도 5f】



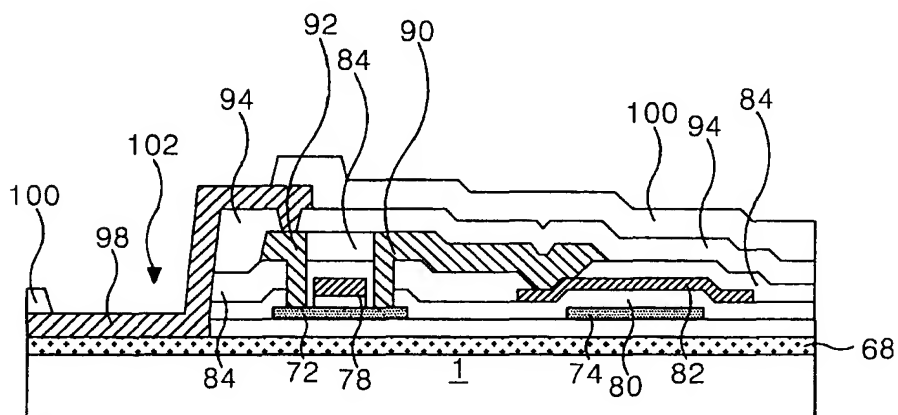
【도 5g】



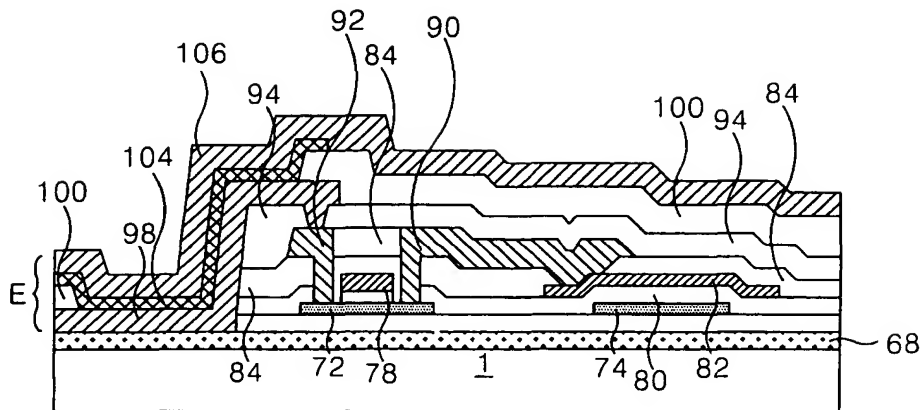
【도 5h】



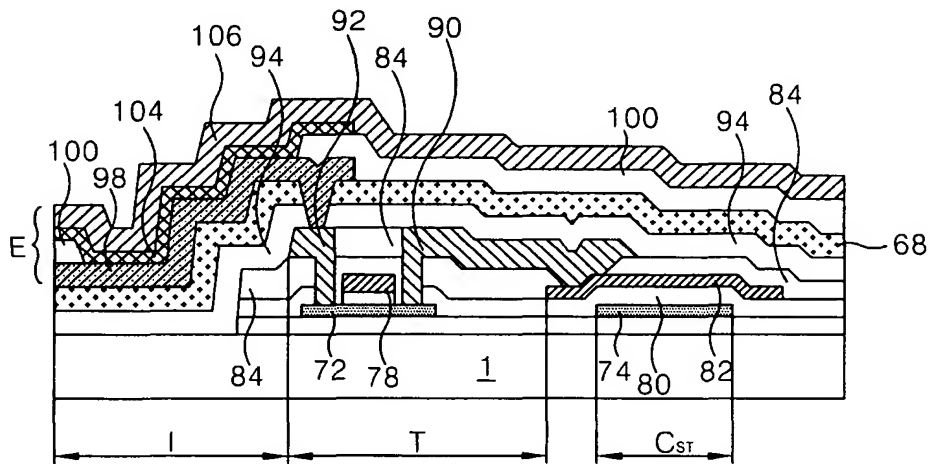
【도 5i】



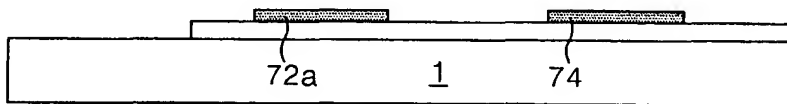
【도 5j】



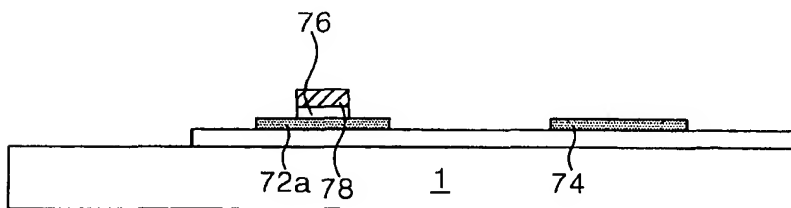
【도 6】



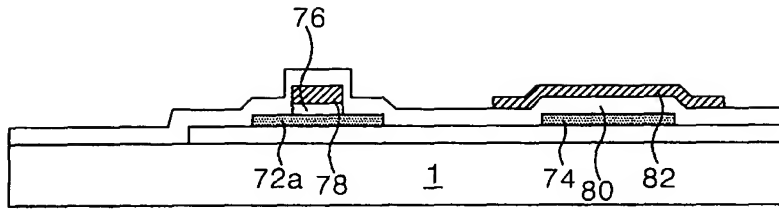
【도 7a】



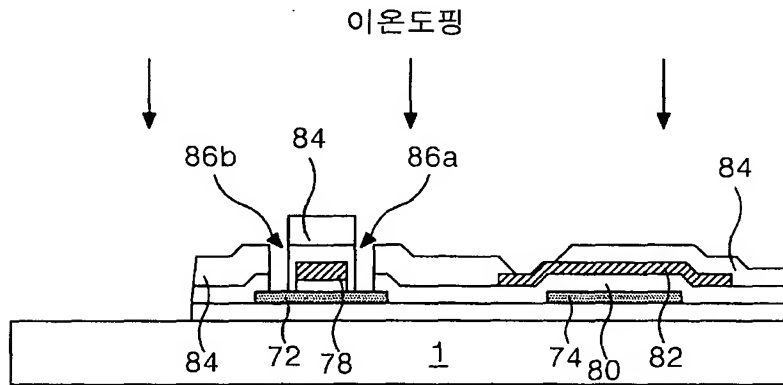
【도 7b】



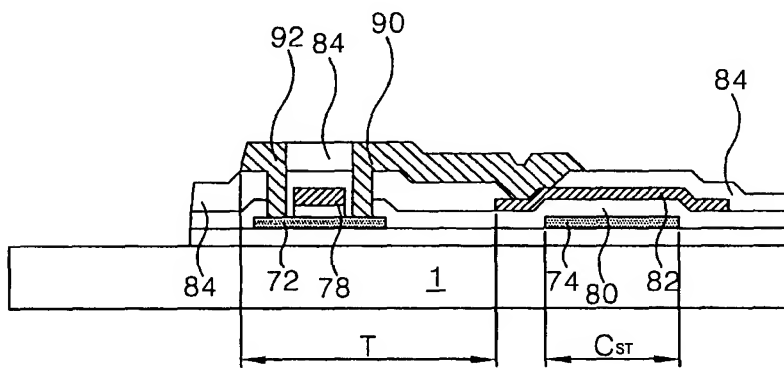
【도 7c】



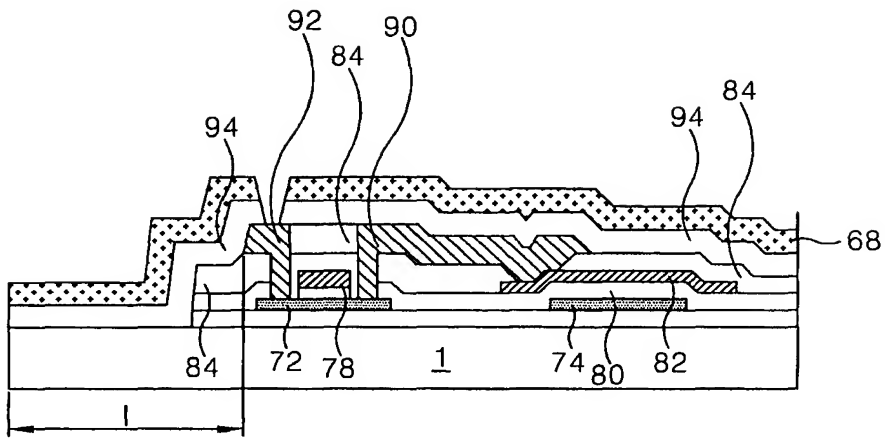
【도 7d】



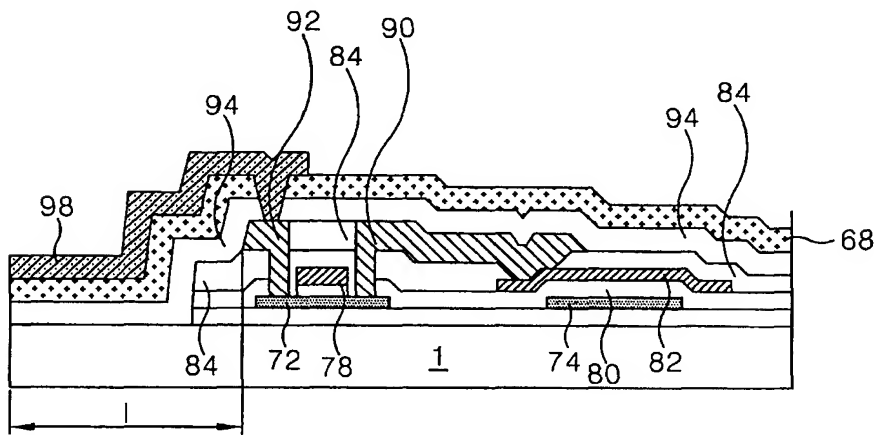
【도 7e】



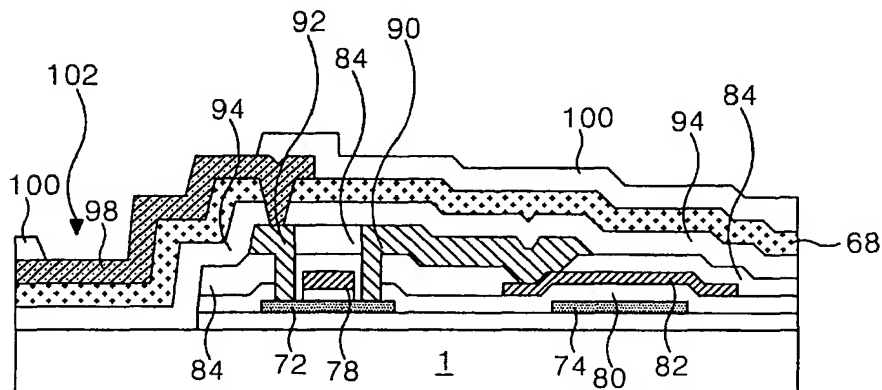
【도 7f】



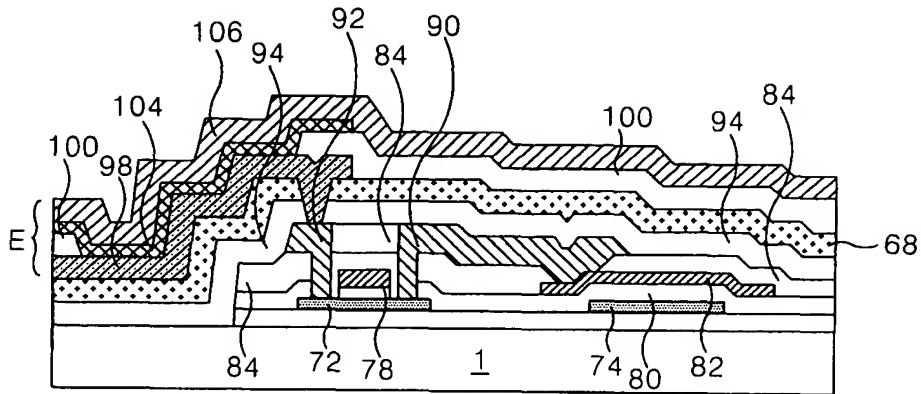
【도 7g】



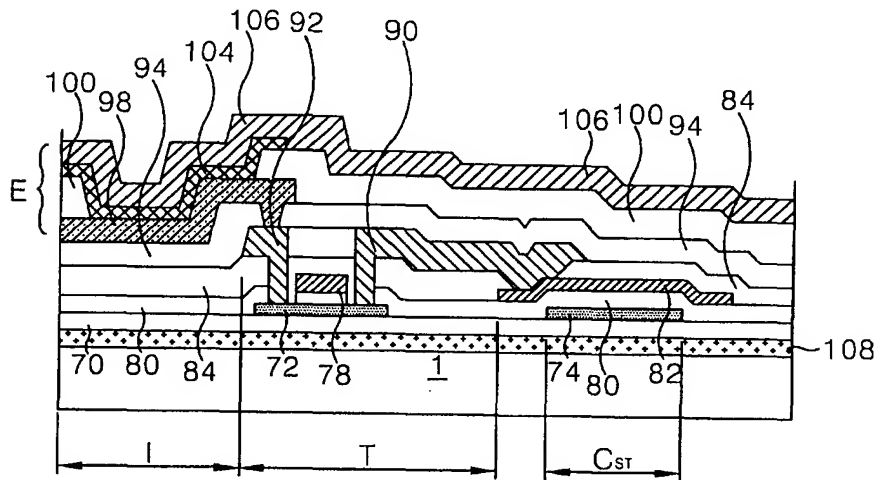
【도 7h】



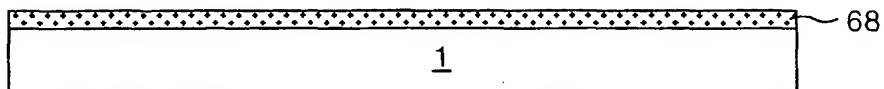
【도 7i】



【도 8】

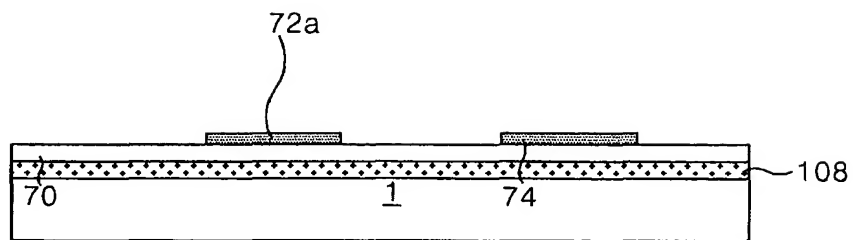


【도 9a】

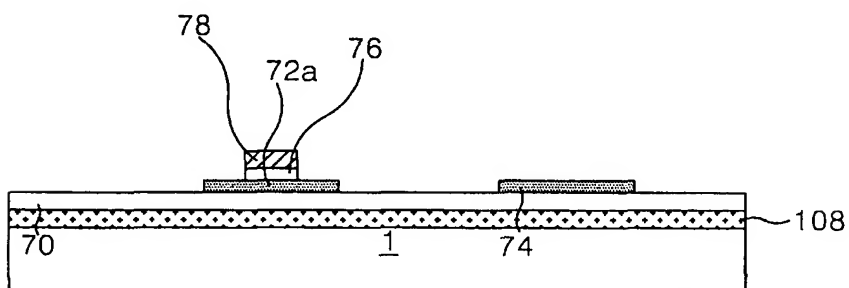




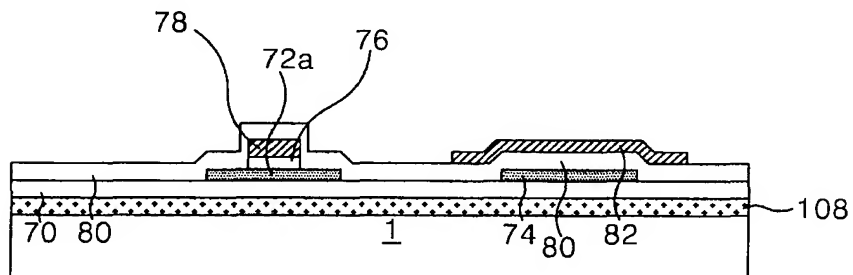
【도 9b】



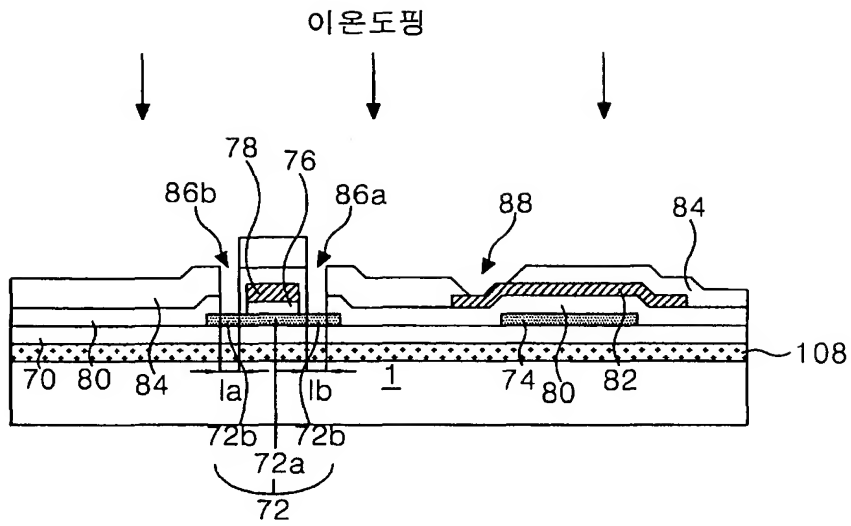
【도 9c】



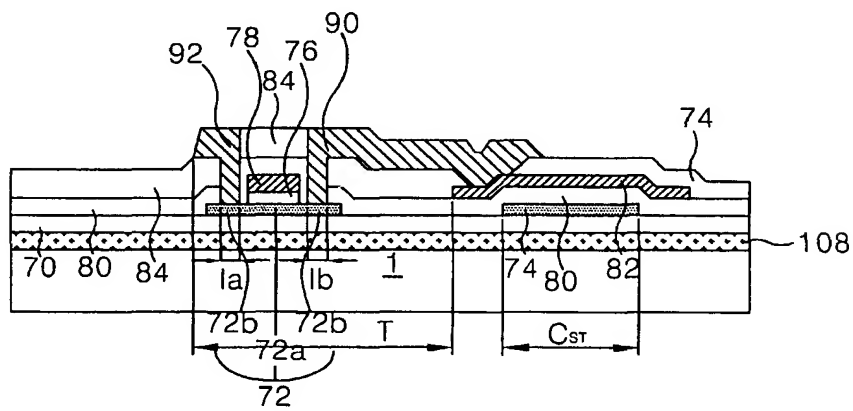
【도 9d】



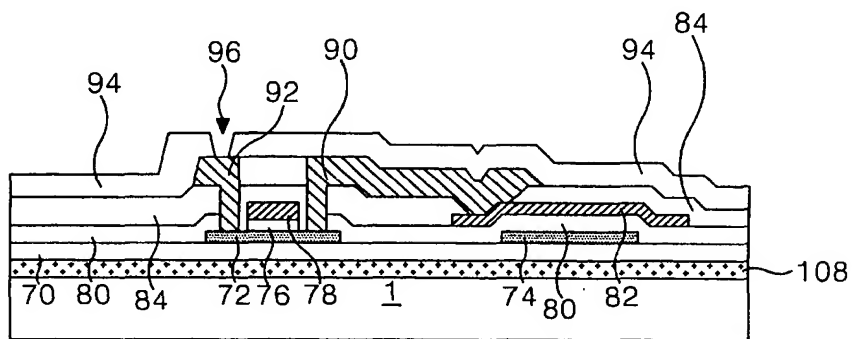
【도 9e】



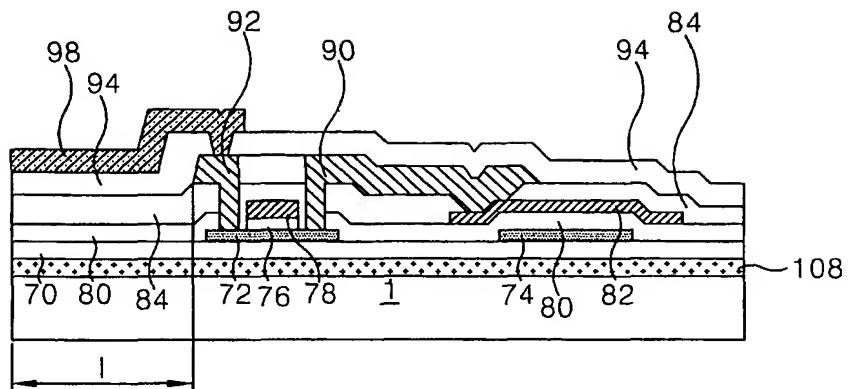
【도 9f】



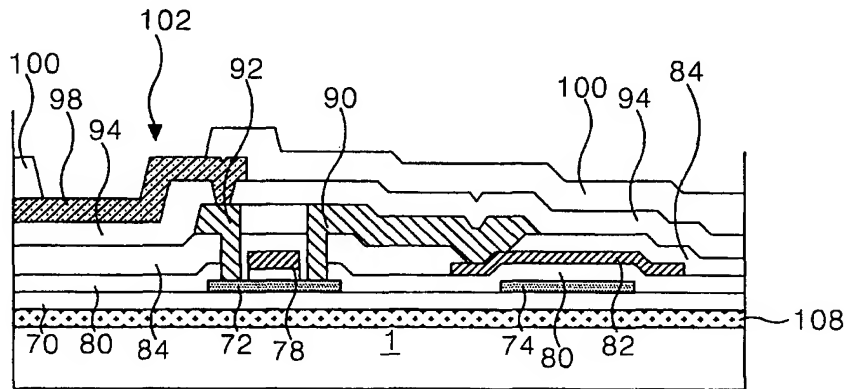
【도 9g】



【도 9h】



【도 9i】



【도 9j】

